

E 5146

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-129772

(43)Date of publication of application : 16.05.1997

(51)Int.Cl.

H01L 23/12

(21)Application number : 07-254216

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 29.09.1995

(72)Inventor : IWASAKI HIROSHI
AOKI HIDEO

(30)Priority

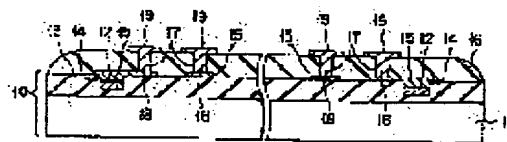
Priority number : 06239042
07221827Priority date : 03.10.1994
30.08.1995Priority country : JP
JP

(54) SEMICONDUCTOR PACKAGE UNIFIED WITH SEMICONDUCTOR CHIP AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To miniaturize a semiconductor product by forming a first passivation film which covers the entire surface of a semiconductor substrate, has an aperture on each pad and a flat surface, thus omitting a conventional assembly process and equalizing the size of the semiconductor product with the size of a semiconductor chip.

SOLUTION: A semiconductor chip 10 made of a first passivation film 13 which covers the entire surface of a semiconductor substrate 11 and has a flat surface 18 provided. A second passivation film 16 is provided which covers the entire surface of the first passivation film 13, has a plurality of through holes 17 in an array on a plurality of wirings 15 and has a flat surface. In addition, a plurality of external connection terminals 19 in an array are provided within and on the through holes 17. The back side and the lateral side of the semiconductor substrate 11 are used as a part of a package, and the passivation film 13 formed on the surface of the semiconductor substrate 11 is used as a part of the package. Thus, a conventional assembly process may be omitted.



LEGAL STATUS

[Date of request for examination]

01.03.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-129772

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl.⁶

H 0 1 L 23/12

識別記号

庁内整理番号

F I

H 0 1 L 23/12

技術表示箇所

K

L

審査請求 未請求 請求項の数20 O L (全 28 頁)

(21) 出願番号 特願平7-254216

(22) 出願日 平成7年(1995)9月29日

(31) 優先権主張番号 特願平6-239042

(32) 優先日 平6(1994)10月3日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平7-221827

(32) 優先日 平7(1995)8月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 岩崎 博

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

(72) 発明者 青木 秀夫

神奈川県横浜市磯子区新磯子町33番地 株
式会社東芝生産技術研究所内

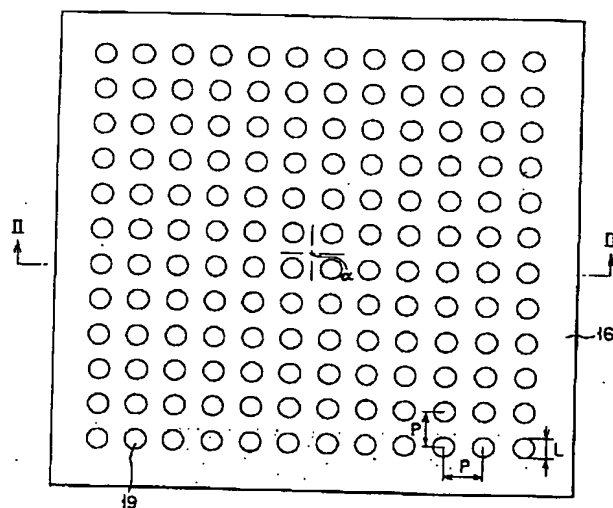
(74) 代理人 弁理士 鈴木 武彦

(54) 【発明の名称】 半導体チップと一体化した半導体パッケージ及びその製造方法

(57) 【要約】

【課題】 アセンブリ工程が不要なチップスケールパッケージを提供する。

【解決手段】 半導体基板11の表面を覆うパッシベーション膜13の表面は、平坦になっている。パッシベーション膜13上には、配線15が形成される。配線15上には、パッケージとしての機能を有するパッシベーション膜16が形成される。パッシベーション膜16は、底部が配線15に達するアレイ状の複数のスルーホール17を有している。スルーホール17内及び上には、アレイ状の複数の外部接続用端子(電極)19が形成されている。パッシベーション膜16の角は、丸みを帯びている。



【特許請求の範囲】

【請求項 1】 半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上の全面を覆い、各々のパッド上に開口を有し、表面が平坦な第 1 パッシベーション膜とから構成される半導体チップと、前記第 1 パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記第 1 パッシベーション膜上の全面を覆い、前記複数の配線上にアレイ状の複数のスルーホールを有し、表面が平坦な第 2 パッシベーションと、前記複数のスルーホール内及び上に形成されるアレイ状の複数の外部接続用端子とを具備することを特徴とする半導体パッケージ。

【請求項 2】 半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上に形成され、各々のパッド上に開口を有し、表面が平坦であり、縁部が前記半導体基板の縁部の内側に存在する第 1 パッシベーション膜とから構成される半導体チップと、前記第 1 パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記半導体基板の周辺部並びに前記第 1 パッシベーション膜の上面及び側面を覆い、前記複数の配線上にアレイ状の複数のスルーホールを有し、表面が平坦な第 2 パッシベーションと、前記複数のスルーホール内及び上に形成されるアレイ状の複数の外部接続用端子とを具備することを特徴とする半導体パッケージ。

【請求項 3】 半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上に形成され、各々のパッド上に開口を有し、表面が平坦であり、縁部が前記半導体基板の縁部の内側に存在する第 1 パッシベーション膜とから構成され、前記半導体基板の縁部と前記第 1 パッシベーション膜の縁部の間の前記半導体基板に溝が形成された半導体チップと、前記第 1 パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記半導体基板の周辺部並びに前記第 1 パッシベーション膜の上面及び側面を覆い、前記複数の配線上にアレイ状の複数のスルーホールを有し、表面が平坦な第 2 パッシベーションと、前記複数のスルーホール内及び上に形成されるアレイ状の複数の外部接続用端子とを具備することを特徴とする半導体パッケージ。

【請求項 4】 半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上に形成され、各々のパッド上に開口を有し、表面が平坦な第 1 パッシベーション膜とから構成される半導体チップと、前記第 1 パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記第 1 パッシベーション膜上の全面を覆い、前記複数

の配線上にアレイ状の複数のスルーホールを有し、表面が平坦な第 2 パッシベーションと、少なくとも前記複数のスルーホールの底部及び側面に形成される複数の金属膜と、

前記複数の金属膜上に形成され、前記複数のスルーホール上においてアレイ状の複数の外部接続用端子を構成する複数のメッキ層とを具備することを特徴とする半導体パッケージ。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体パッケージにおいて、前記複数のパッドは、前記半導体基板の縁部、又は前記半導体基板上の全体に均等に配置されていることを特徴とする半導体パッケージ。

【請求項 6】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体パッケージにおいて、前記第 2 パッシベーション膜は、パッケージとして機能し、その厚さは、0.05～0.2mmの範囲に設定されていることを特徴とする半導体パッケージ。

【請求項 7】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体パッケージにおいて、前記第 2 パッシベーション膜の縁部は、丸みを帯びていることを特徴とする半導体パッケージ。

【請求項 8】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体パッケージにおいて、前記第 1 及び第 2 パッシベーション膜は、酸化シリコン及び窒化シリコンを含む絶縁体のうちのいずれか 1 つから構成されることを特徴とする半導体パッケージ。

【請求項 9】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体パッケージにおいて、前記半導体基板は、一辺が約 13.5mmの正方形を有し、前記複数の外部接続用端子は、直径が約 0.5mmの円形を有し、ピッチが約 1mmであることを特徴とする半導体パッケージ。

【請求項 10】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体パッケージにおいて、前記複数の外部接続用端子は、銅、金、ニッケル、及びニッケルと金の 2 層構造を含む導電体のうちのいずれか 1 つから構成されることを特徴とする半導体パッケージ。

【請求項 11】 請求項 1 乃至 4 のいずれか 1 項に記載の半導体パッケージにおいて、前記複数の外部接続用端子上に形成される複数の半田ボールを備えることを特徴とする半導体パッケージ。

【請求項 12】 請求項 4 に記載の半導体パッケージにおいて、前記金属膜は、チタン、ニッケル、パラジウムを含む金属のうちの少なくとも 1 つから構成されることを特徴とする半導体パッケージ。

【請求項 13】 ウェハの半導体チップ領域上に複数のパッドを形成する工程と、前記ウェハの半導体チップ領域上に、前記複数のパッドを覆う第 1 パッシベーション膜を形成する工程と、前記複数のパッド上の前記第 1 パッシベーション膜に複数の開口を形成する工程と、

前記第 1 パッシベーション膜上に、前記複数の開口を介して前記複数のパッドに接続される複数の配線を形成する工程と、

前記第 1 パッシベーション膜上に、パッケージとして機能し、前記複数の配線を覆う第 2 パッシベーション膜を形成する工程と、

前記第 2 パッシベーション膜に、底部が前記複数の配線に達するアレイ状の複数のスルーホールを形成する工程と、

前記複数のスルーホール内及び上、並びに前記第 2 パッシベーション膜上に、導電膜を形成する工程と、

前記導電膜をパターンニングし、前記複数のスルーホール上にアレイ状の外部接続用端子を形成する工程と、

前記ウェハの半導体チップ領域の周囲を切断し、前記半導体チップ領域のサイズと同じサイズを有する半導体パッケージを形成する工程とを具備することを特徴とする半導体パッケージの製造方法。

【請求項 14】 ウェハの半導体チップ領域上に複数のパッドを形成する工程と、

前記ウェハの半導体チップ領域上に、前記複数のパッドを覆う第 1 パッシベーション膜を形成する工程と、

前記複数のパッド上の前記第 1 パッシベーション膜に複数の開口を形成し、かつ、前記第 1 パッシベーション膜の縁部が前記半導体チップ領域の縁部の内側に配置されるように、前記第 1 パッシベーション膜を前記ウェハの半導体チップ領域内のみに残存させる工程と、

前記第 1 パッシベーション膜上に、前記複数の開口を介して前記複数のパッドに接続される複数の配線を形成する工程と、

前記ウェハの半導体チップ領域上の全面に、前記第 1 パッシベーション膜の上面及び側面を覆い、パッケージとして機能する第 2 パッシベーション膜を形成する工程と、

前記第 2 パッシベーション膜に、底部が前記複数の配線に達するアレイ状の複数のスルーホールを形成する工程と、

前記複数のスルーホール内及び上、並びに前記第 2 パッシベーション膜上に、導電膜を形成する工程と、

前記導電膜をパターンニングし、前記複数のスルーホール上にアレイ状の外部接続用端子を形成する工程と、

前記ウェハの半導体チップ領域の周囲を切断し、前記半導体チップ領域のサイズと同じサイズを有する半導体パッケージを形成する工程とを具備することを特徴とする半導体パッケージの製造方法。

【請求項 15】 ウェハの半導体チップ領域上に複数のパッドを形成する工程と、

前記ウェハの半導体チップ領域上に、前記複数のパッドを覆う第 1 パッシベーション膜を形成する工程と、

前記複数のパッド上の前記第 1 パッシベーション膜に複数の第 1 開口を形成し、かつ、前記第 1 パッシベーション

膜の縁部が前記半導体チップ領域の縁部の内側に配置されるように、前記第 1 パッシベーション膜を前記ウェハの半導体チップ領域内のみに残存させる工程と、

前記第 1 パッシベーション膜上に、前記複数の開口を介して前記複数のパッドに接続される複数の配線を形成する工程と、

前記ウェハの半導体チップ領域上の全面に、前記第 1 パッシベーション膜の上面及び側面を覆い、パッケージとして機能する第 2 パッシベーション膜を形成する工程と、

前記複数の配線上の前記第 2 パッシベーション膜に、アレイ状の複数のスルーホールを形成する工程と、

前記複数のスルーホールの底面及び側面上並びに前記第 2 パッシベーション膜上に、金属膜を形成する工程と、

前記金属膜上にレジスト膜を形成する工程と、

前記複数のスルーホール上の前記レジスト膜を除去し、前記複数のスルーホール上に前記複数のスルーホールよりも大きい複数の第 2 開口を形成する工程と、

前記金属膜をメッキ電極として、電気メッキ法により、前記複数のスルーホール内及び前記複数の第 2 開口内に複数のメッキ層を形成する工程と、

前記レジスト膜を剥離し、前記複数のスルーホール上に前記メッキ層から構成されるアレイ状の複数の外部接続用端子を形成する工程と、

前記ウェハの半導体チップ領域の周囲を切断し、前記半導体チップ領域のサイズと同じサイズを有する半導体パッケージを形成する工程とを具備することを特徴とする半導体パッケージの製造方法。

【請求項 16】 請求項 13 乃至 15 のいずれか 1 項に記載の半導体パッケージの製造方法において、前記第 1 パッシベーション膜を形成した直後に、前記第 1 パッシベーション膜の表面を平坦にする工程を備えることを特徴とする半導体パッケージの製造方法。

【請求項 17】 請求項 13 乃至 15 のいずれか 1 項に記載の半導体パッケージの製造方法において、前記第 2 パッシベーション膜を形成した直後に、前記第 2 パッシベーション膜の表面を平坦にする工程を備えることを特徴とする半導体パッケージの製造方法。

【請求項 18】 請求項 13 乃至 15 のいずれか 1 項に記載の半導体パッケージの製造方法において、前記半導体パッケージを形成した後に、前記半導体パッケージに熱処理を加えて、前記第 2 パッシベーション膜の縁部を丸める工程を備えることを特徴とする半導体パッケージの製造方法。

【請求項 19】 請求項 13 乃至 15 のいずれか 1 項に記載の半導体パッケージの製造方法において、前記複数の外部接続用端子上に複数の半田ボールを形成する工程を備えることを特徴とする半導体パッケージの製造方法。

【請求項 20】 請求項 15 に記載の半導体パッケージ

の製造方法において、前記複数の第2開口を形成すると同時に、前記ウェハの縁部に少なくとも1つの電圧印加用の第3開口を形成し、前記電気メッキ法は、前記第3開口の底部の前記金属膜に電圧を印加することにより行われることを特徴とする半導体パッケージの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップのパッケージング技術に関する。

【0002】

【従来の技術】従来、図74に示すように、半導体製品は、種々の製造工程を経ることにより完成する。半導体チップを半導体パッケージの中に組み込むアセンブリ工程は、半導体製品を完成させるための製造工程中の1つの工程として必須のものである。

【0003】このアセンブリ工程の目的は、半導体チップに形成される素子と半導体チップの外部の素子や装置との間で、信号のやりとりを容易にすること、半導体チップを湿気や外力から保護することなどである。

【0004】従来のアセンブリ工程には、半導体チップを、TSOP (Thin Small Outline Package) やTCP (Tape Carrier Package) などの半導体パッケージの中に組み込むというものが知られている。

【0005】しかし、半導体パッケージ自体は、何ら機能を有しているものではない。また、アセンブリ工程に必要とされるコストは、半導体製品の価格を上昇させる原因となる。さらに、半導体製品のサイズは、半導体パッケージのサイズに制約されるため、半導体製品の小型化には限界がある。

【0006】

【発明が解決しようとする課題】このように、従来の半導体パッケージは、サイズが大きく、チップスケールのパッケージを提供することが難しい欠点がある。また、半導体チップをパッケージングするためにアセンブリ工程が必要であり、半導体製品の価格の上昇の原因となる欠点がある。

【0007】本発明は、上記欠点を解決すべくなされたもので、その目的は、半導体チップと一体化した半導体パッケージを提供することにより、従来のアセンブリ工程を省略して半導体製品の価格を下げる、及び半導体製品のサイズを半導体チップのサイズと同じにして半導体製品の小型化を達成することである。

【0008】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体パッケージは、半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上の全面を覆い、各々のパッド上に開口を有し、表面が平坦な第1パッシベーション膜とから構成される半導体チップと、前記第1パッシベーション膜の表面上に

形成され、前記複数のパッドに接続される複数の配線と、前記第1パッシベーション膜上の全面を覆い、前記複数の配線にアレイ状の複数のスルーホールを有し、表面が平坦な第2パッシベーションと、前記複数のスルーホール内及び上に形成されるアレイ状の複数の外部接続用端子とを備えている。

【0009】本発明の半導体パッケージは、半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上に形成され、各々のパッド上に開口を有し、表面が平坦であり、縁部が前記半導体基板の縁部の内側に存在する第1パッシベーション膜とから構成される半導体チップと、前記第1パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記半導体基板の周辺部並びに前記第1パッシベーション膜の上面及び側面を覆い、前記複数の配線にアレイ状の複数のスルーホールを有し、表面が平坦な第2パッシベーションと、前記複数のスルーホール内及び上に形成されるアレイ状の複数の外部接続用端子とを備えている。

【0010】本発明の半導体パッケージは、半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上に形成され、各々のパッド上に開口を有し、表面が平坦であり、縁部が前記半導体基板の縁部の内側に存在する第1パッシベーション膜とから構成され、前記半導体基板の縁部と前記第1パッシベーション膜の縁部の間の前記半導体基板に溝が形成された半導体チップと、前記第1パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記半導体基板の周辺部並びに前記第1パッシベーション膜の上面及び側面を覆い、前記複数の配線にアレイ状の複数のスルーホールを有し、表面が平坦な第2パッシベーションと、前記複数のスルーホール内及び上に形成されるアレイ状の複数の外部接続用端子とを備えている。

【0011】本発明の半導体パッケージは、半導体基板と、前記半導体基板上に形成される複数のパッドと、前記半導体基板上に形成され、各々のパッド上に開口を有し、表面が平坦な第1パッシベーション膜とから構成される半導体チップと、前記第1パッシベーション膜の表面上に形成され、前記複数のパッドに接続される複数の配線と、前記第1パッシベーション膜上の全面を覆い、前記複数の配線にアレイ状の複数のスルーホールを有し、表面が平坦な第2パッシベーションと、少なくとも前記複数のスルーホールの底部及び側面に形成される複数の金属膜と、前記複数の金属膜上に形成され、前記複数のスルーホール上においてアレイ状の複数の外部接続用端子を構成する複数のメッキ層とを備えている。

【0012】前記複数のパッドは、前記半導体基板の縁部、又は前記半導体基板上の全体に均等に配置されている。前記第2パッシベーション膜は、パッケージとして

機能し、その厚さは、0.05～0.2mmの範囲に設定されている。前記第2パッシベーション膜の縁部は、丸みを帯びている。

【0013】前記第1及び第2パッシベーション膜は、酸化シリコン及び窒化シリコンを含む絶縁体のうちのいずれか1つから構成される。前記半導体基板は、一辺が約13.5mmの正方形を有し、前記複数の外部接続用端子は、直径が約0.5mmの円形を有し、ピッチが約1mmである。

【0014】前記複数の外部接続用端子は、銅、金、ニッケル、及びニッケルと金の2層構造を含む導電体のうちのいずれか1つから構成される。前記複数の外部接続用端子に形成される複数の半田ボールを備える。

【0015】前記金属膜は、チタン、ニッケル、パラジウムを含む金属のうちの少なくとも1つから構成される。

【0016】本発明の半導体パッケージの製造方法は、ウェハの半導体チップ領域上に複数のパッドを形成し、前記ウェハの半導体チップ領域上に、前記複数のパッドを覆う第1パッシベーション膜を形成し、前記複数のパッド上の前記第1パッシベーション膜に複数の開口を形成し、前記第1パッシベーション膜上に、前記複数の開口を介して前記複数のパッドに接続される複数の配線を形成し、前記第1パッシベーション膜上に、パッケージとして機能し、前記複数の配線を覆う第2パッシベーション膜を形成し、前記第2パッシベーション膜に、底部が前記複数の配線に達するアレイ状の複数のスルーホールを形成し、前記複数のスルーホール内及び上、並びに前記第2パッシベーション膜上に、導電膜を形成し、前記導電膜をパターニングし、前記複数のスルーホール上にアレイ状の外部接続用端子を形成し、前記ウェハの半導体チップ領域の周囲を切断し、前記半導体チップ領域のサイズと同じサイズを有する半導体パッケージを形成する、という一連の工程を備えている。

【0017】本発明の半導体パッケージの製造方法は、ウェハの半導体チップ領域上に複数のパッドを形成し、前記ウェハの半導体チップ領域上に、前記複数のパッドを覆う第1パッシベーション膜を形成し、前記複数のパッド上の前記第1パッシベーション膜に複数の開口を形成し、かつ、前記第1パッシベーション膜の縁部が前記半導体チップ領域の縁部の内側に配置されるように、前記第1パッシベーション膜を前記ウェハの半導体チップ領域内のみに残存させ、前記第1パッシベーション膜上に、前記複数の開口を介して前記複数のパッドに接続される複数の配線を形成し、前記ウェハの半導体チップ領域上の全面に、前記第1パッシベーション膜の上面及び側面を覆い、パッケージとして機能する第2パッシベーション膜を形成し、前記第2パッシベーション膜に、底部が前記複数の配線に達するアレイ状の複数のスルーホールを形成し、前記複数のスルーホール内及び上、並び

に前記第2パッシベーション膜上に、導電膜を形成し、前記導電膜をパターニングし、前記複数のスルーホール上にアレイ状の外部接続用端子を形成し、前記ウェハの半導体チップ領域の周囲を切断し、前記半導体チップ領域のサイズと同じサイズを有する半導体パッケージを形成する、という一連の工程を備えている。

【0018】本発明の半導体パッケージの製造方法は、ウェハの半導体チップ領域上に複数のパッドを形成し、前記ウェハの半導体チップ領域上に、前記複数のパッドを覆う第1パッシベーション膜を形成し、前記複数のパッド上の前記第1パッシベーション膜に複数の第1開口を形成し、かつ、前記第1パッシベーション膜の縁部が前記半導体チップ領域の縁部の内側に配置されるように、前記第1パッシベーション膜を前記ウェハの半導体チップ領域内のみに残存させ、前記第1パッシベーション膜上に、前記複数の開口を介して前記複数のパッドに接続される複数の配線を形成し、前記ウェハの半導体チップ領域上の全面に、前記第1パッシベーション膜の上面及び側面を覆い、パッケージとして機能する第2パッシベーション膜を形成し、前記複数の配線の前記第2パッシベーション膜に、アレイ状の複数のスルーホールを形成し、前記複数のスルーホールの底面及び側面上並びに前記第2パッシベーション膜上に、金属膜を形成し、前記金属膜上にレジスト膜を形成し、前記複数のスルーホール上の前記レジスト膜を除去し、前記複数のスルーホール上に前記複数のスルーホールよりも大きい複数の第2開口を形成し、前記金属膜をメッキ電極として、電気メッキ法により、前記複数のスルーホール内及び前記複数の第2開口内に複数のメッキ層を形成し、前記レジスト膜を剥離し、前記複数のスルーホール上に前記メッキ層から構成されるアレイ状の複数の外部接続用端子を形成し、前記ウェハの半導体チップ領域の周囲を切断し、前記半導体チップ領域のサイズと同じサイズを有する半導体パッケージを形成する、という一連の工程を備えている。

【0019】前記第1パッシベーション膜を形成した直後に、前記第1パッシベーション膜の表面を平坦にする工程をさらに備えている。

【0020】また、前記第2パッシベーション膜を形成した直後に、前記第2パッシベーション膜の表面を平坦にする工程をさらに備えている。

【0021】前記半導体パッケージを形成した後に、前記半導体パッケージに熱処理を加えて、前記第2パッシベーション膜の縁部を丸める工程をさらに備えている。

【0022】前記複数の外部接続用端子に複数の半田ボールを形成する工程をさらに備えている。

【0023】また、前記複数の第2開口を形成すると同時に、前記ウェハの縁部に少なくとも1つの電圧印加用の第3開口を形成し、前記電気メッキ法は、前記第3開口の底部の前記金属膜に電圧を印加することにより行わ

れる。

【0024】

【発明の実施の形態】以下、図面を参照しながら、本発明の半導体チップと一体化した半導体パッケージ及びその製造方法について詳細に説明する。

【0025】図1は、本発明の第1の実施の形態に関わる半導体パッケージを示している。図2は、図1の半導体パッケージのI-I線に沿う断面図を示している。

【0026】まず、この半導体パッケージの構造について説明する。

【0027】半導体チップ10は、例えば、一辺が1.5mmの正方形を有している。特定の機能を有する半導体素子は、半導体基板11に形成されている。複数のパッド（入出力端子）12は、半導体基板11上に形成されている。各パッド12は、半導体基板11、半導体基板11中の不純物領域、半導体素子などに接続されている。

【0028】これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成されている。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してよい。

【0029】パッシベーション膜13は、半導体基板11上に形成されている。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成されている。パッシベーション膜13は、各パッド12上において開口14を有している。パッシベーション膜13の表面は、平坦になっている。

【0030】複数の配線15は、パッシベーション膜13上に形成され、本発明の特徴の一つである。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成されている。

【0031】パッシベーション膜16は、パッシベーション膜13上に形成され、本発明の特徴の一つである。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0032】従って、パッシベーション膜16の厚さは、パッケージとして十分に機能する程度の厚さ、即ち、0.05～0.2mmの範囲に設定されている。また、パッシベーション膜16の表面は、電極を形成し易いように平坦になっている。

【0033】パッシベーション膜16は、配線15上において複数のスルーホール17を有している。この複数

のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点αに対して対称的に配置されている。

【0034】導電膜18は、スルーホール17内及びスルーホール17の周辺のパッシベーション膜16上に形成されている。導電膜18は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。この導電膜18は、パッシベーション膜16の表面部において外部接続用端子（電極）19を構成している。

【0035】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成されている。

【0036】上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として使用し、かつ、半導体基板11の上面に形成されたパッシベーション膜16をパッケージの一部として使用している。

【0037】即ち、上記構成を有する半導体パッケージによれば、ウェハプロセスにおいて半導体パッケージを形成することができるため、図73に示すように、アセンブリ工程を省略することができる。

【0038】従って、本発明の半導体パッケージは、アセンブリ工程を必要とする従来の半導体パッケージに比べて、半導体製品（完成品）の価格を低くすることができる。

【0039】また、図73に示す半導体素子のテスト工程（機能テストやバーンインなど）は、外部接続用端子19にソケットを接続し、各半導体素子にテスト信号を与え、かつ、各半導体素子からテスト結果を取り出すことにより、簡易に行うことができる。

【0040】また、上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として用いているため、半導体製品のサイズは、半導体基板11のサイズと同じになる。即ち、半導体パッケージが半導体チップと一体化しているため、半導体製品の小型化を達成することができる。

【0041】従って、半導体製品をプリント回路基板に高密度で実装することができ、図73に示す実装工程におけるコストも低減することができる。

【0042】また、半導体基板11の上面は、パッシベーション膜16により完全に覆われているため、本発明の半導体パッケージは、湿気や外力に対しても強い。

【0043】次に、図1及び図2の半導体パッケージの製造方法について説明する。

【0044】まず、図3に示すように、通常のウェハプロセスにより、ウェハ51の半導体チップ領域CにLSI（半導体素子を含む）を形成する。

【0045】また、図3のAの部分拡大した図4、及

び図5に示すように、ウェハの各半導体チップ領域Cに複数のパッド12を形成する。これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成される。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0046】なお、各半導体チップ領域Cは、例えば、一辺が約13.5mmの正方形を有している。ダイシングライン52は、半導体チップ領域Cの間に配置されている。

【0047】また、例えば、CVD法を用いて、半導体基板11上に半導体素子を覆うパッシベーション膜13を形成する。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成される。

【0048】また、例えば、化学機械的研磨（CMP）法によりパッシベーション膜13の表面を平坦にした後、PEP（写真蝕刻工程）を用いてパッシベーション膜13を部分的にエッチングする。その結果、パッシベーション膜13に各パッド12に達する開口14が形成される。

【0049】次に、図6及び図7に示すように、例えば、スパッタ法を用いて、パッシベーション膜13上の全面に、導電膜を形成する。また、PEP法を用いて、この導電膜をパターニングし、パッシベーション膜13上に複数の配線15を形成する。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成される。

【0050】次に、図8及び図9に示すように、例えば、CVD法を用いて、パッシベーション膜13上に0.05～0.2mmの膜厚を有するパッシベーション膜16を形成する。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0051】また、例えば、CMP法により、電極を形成し易いようにパッシベーション膜16の表面を平坦にする。PEP法を用いてパッシベーション膜16を部分的にエッチングし、配線15上のパッシベーション膜16に複数のスルーホール17を形成する。

【0052】この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点 α に対して対称的に配置されている。

【0053】次に、図10及び図11に示すように、例えば、スパッタ法を用いて、パッシベーション膜16上の全面に、導電膜18を形成する。また、PEP法を用いて、この導電膜18をパターニングし、パッシベーション膜16上に複数の外部接続用端子（電極）19を形成する。外部接続用端子19は、パッシベーション膜16に設けられたスルーホール17の直下の配線15に接続されている。外部接続用端子19は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。

【0054】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成される。次に、図12及び図13に示すように、ダイシング装置を用いて、ダイシングライン（例えば、図10の図番52）沿ってウェハを切断すると、複数の半導体チップ10が得られる。この時、半導体パッケージも同時に完成する。

【0055】なお、図14に示すように、半導体チップ10のエッジ部分を丸めるために、半導体チップ10に対して熱処理を加え、パッシベーション膜16のエッジ部分を丸めるようにしてもよい。

【0056】以上の工程により、図1及び図2に示すような、半導体チップと一体化した半導体パッケージが完成する。

【0057】次に、図1及び図2の半導体パッケージの実装方法について説明する。

【0058】まず、図63に示すように、半導体パッケージの外部接続用端子19上に半田ボール53を形成する（本発明の第5の実施の形態に相当）。この半田ボール53は、本発明の半導体パッケージをプリント回路基板に実装し易くするために設けられるものである。従って、半田ボール53は、必ずしも必要なものではない。

【0059】次に、図67に示すように、プリント回路基板54上の配線55の所定位置に、本発明の半導体パッケージの半田ボール53が接触するように、本発明の半導体パッケージをプリント回路基板54上に配置する。

【0060】なお、プリント回路基板54の配線55の所定位置には、半田56がプリントされている。

【0061】次に、図68に示すように、プリント回路基板54をリフロー炉57内に配置し、所定の条件で、プリント回路基板54及び半導体パッケージ（半導体チップ）10に熱を加える。

【0062】その結果、図69に示すように、半田が溶融し、かつ、凝固して、半導体パッケージの外部接続用端子19とプリント回路基板54の配線55が互いに接続され、実装工程が終了する。

【0063】図15は、本発明の第2の実施の形態に関わる半導体パッケージを示している。図16は、図15の半導体パッケージのXVI-XVI線に沿う断面図を

示している。

【0064】まず、この半導体パッケージの構造について説明する。

【0065】半導体チップ10は、例えば、一辺が13.5mmの正方形を有している。特定の機能を有する半導体素子は、半導体基板11に形成されている。複数のパッド（入出力端子）12は、半導体基板11上に形成されている。各パッド12は、半導体基板11、半導体基板11中の不純物領域、半導体素子などに接続されている。

【0066】これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成されている。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0067】パッシベーション膜13は、半導体基板11上に形成されている。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成されている。

【0068】また、パッシベーション膜13は、各パッド12上において開口14を有している。パッシベーション膜13の表面は、平坦になっている。

【0069】パッシベーション膜13の縁部は、半導体基板11の縁部まで達していない。即ち、半導体基板11上から見た場合に、パッシベーション膜13の輪郭Xは、半導体基板の輪郭Yの内側に存在している。

【0070】複数の配線15は、パッシベーション膜13上に形成され、本発明の特徴の一つである。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成されている。

【0071】パッシベーション膜16は、半導体基板11上及びパッシベーション膜13上に形成され、本発明の特徴の一つである。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0072】従って、パッシベーション膜16の厚さは、パッケージとして十分に機能する程度の厚さ、即ち、0.05～0.2mmの範囲に設定されている。また、パッシベーション膜16の表面は、電極を形成し易いように平坦になっている。

【0073】また、パッシベーション膜16は、パッシベーション膜13の縁部Xを完全に覆っている。即ち、パッシベーション膜13が外部に露出していないため、本発明の半導体パッケージは、図1及び図2の半導体パ

ッケージに比べて、水分が半導体チップ10の内部に侵入し難く、耐湿性が向上する。

【0074】パッシベーション膜16は、配線15上において複数のスルーホール17を有している。この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点 α に対して対称的に配置されている。

【0075】導電膜18は、スルーホール17内及びスルーホール17の周辺のパッシベーション膜16上に形成されている。導電膜18は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。この導電膜18は、パッシベーション膜16の表面部において外部接続用端子（電極）19を構成している。

【0076】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成されている。

【0077】上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として使用し、かつ、半導体基板11の上面に形成されたパッシベーション膜16をパッケージの一部として使用している。

【0078】即ち、上記構成を有する半導体パッケージによれば、ウェハプロセスにおいて半導体パッケージを形成することができるため、図73に示すように、アセンブリ工程を省略することができる。

【0079】従って、本発明の半導体パッケージは、アセンブリ工程を必要とする従来の半導体パッケージに比べて、半導体製品（完成品）の価格を低くすることができる。

【0080】また、図73に示す半導体素子のテスト工程（機能テストやバーンインなど）は、外部接続用端子19にソケットを接続し、各半導体素子にテスト信号を与え、かつ、各半導体素子からテスト結果を取り出すことにより、簡易に行うことができる。

【0081】また、上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として用いているため、半導体製品のサイズは、半導体基板11のサイズと同じになる。即ち、半導体パッケージが半導体チップと一体化しているため、半導体製品の小型化を達成することができる。

【0082】従って、半導体製品をプリント回路基板に高密度で実装することができ、図73に示す実装工程におけるコストも低減することができる。

【0083】また、パッシベーション膜16は、パッシベーション膜13の縁部Xを完全に覆い、かつ、半導体基板11の縁部Yに接触している。このため、外部に露出する界面は、半導体基板11とパッシベーション膜16の界面のみとなるので、本発明の半導体パッケージ

は、湿気や外力に対しても非常に強くなる。

【0084】次に、図15及び図16の半導体パッケージの製造方法について説明する。

【0085】まず、図3に示すように、通常のウェハプロセスにより、ウェハ51の半導体チップ領域CにLSI（半導体素子などを含む）を形成する。

【0086】また、図3のAの部分拡大した図17、及び図18に示すように、ウェハの各半導体チップ領域Cに複数のパッド12を形成する。これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成される。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0087】なお、各半導体チップ領域Cは、例えば、一辺が約13.5mmの正方形を有している。ダイシングライン52は、半導体チップ領域Cの間に配置されている。

【0088】また、例えば、CVD法を用いて、半導体基板11上に半導体素子を覆うパッシベーション膜13を形成する。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成される。

【0089】また、例えば、化学機械的研磨（CMP）法によりパッシベーション膜13の表面を平坦にした後、PEP（写真蝕刻工程）を用いてパッシベーション膜13を部分的にエッチングする。その結果、パッシベーション膜13に各パッド12に達する開口14が形成される。

【0090】また、PEP法を用いてパッシベーション膜13を部分的にエッチングし、ダイシングライン52の直下の領域を含む領域のパッシベーション膜13を除去する。その結果、パッシベーション膜13の縁部Xは、半導体チップ領域Cの輪郭（最終的に半導体基板11の輪郭となる）Yの内側に配置される。

【0091】次に、図19及び図20に示すように、例えば、スパッタ法を用いて、パッシベーション膜13上の全面に、導電膜を形成する。また、PEP法を用いて、この導電膜をパターニングし、パッシベーション膜13上に複数の配線15を形成する。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成される。

【0092】次に、図21及び図22に示すように、例えば、CVD法を用いて、パッシベーション膜13上に0.05～0.2mmの膜厚を有するパッシベーション膜16を形成する。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッ

ド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0093】また、例えば、CMP法により、電極を形成し易いようにパッシベーション膜16の表面を平坦にする。PEP法を用いてパッシベーション膜16を部分的にエッチングし、配線15上のパッシベーション膜16に複数のスルーホール17を形成する。

【0094】この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点 α に対して対称的に配置されている。

【0095】次に、図23及び図24に示すように、例えば、スパッタ法を用いて、パッシベーション膜16上の全面に、導電膜18を形成する。また、PEP法を用いて、この導電膜18をパターニングし、パッシベーション膜16上に複数の外部接続用端子（電極）19を形成する。外部接続用端子19は、パッシベーション膜16に設けられたスルーホール17の直下の配線15に接続されている。外部接続用端子19は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。

【0096】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成される。次に、図25及び図26に示すように、ダイシング装置を用いて、ダイシングライン（例えば、図23の図番52）沿ってウェハを切断すると、複数の半導体チップ10が得られる。この時、半導体パッケージも同時に完成する。

【0097】なお、図27に示すように、半導体チップ10のエッジ部分を丸めるために、半導体チップ10に対して熱処理を加え、パッシベーション膜16のエッジ部分を丸めるようにしてもよい。

【0098】以上の工程により、図15及び図16に示すような、半導体チップと一体化した半導体パッケージが完成する。

【0099】次に、図15及び図16の半導体パッケージの実装方法について説明する。

【0100】まず、図64に示すように、半導体パッケージの外部接続用端子19上に半田ボール53を形成する（本発明の第6の実施の形態に相当）。この半田ボール53は、本発明の半導体パッケージをプリント回路基板に実装し易くするために設けられるものである。従って、半田ボール53は、必ずしも必要なものではない。

【0101】次に、図67に示すように、プリント回路基板54上の配線55の所定位置に、本発明の半導体パッケージの半田ボール53が接触するように、本発明の半導体パッケージをプリント回路基板54上に配置する。

【0102】なお、プリント回路基板54の配線55の所定位置には、半田56がプリントされている。

【0103】次に、図68に示すように、プリント回路基板54をリフロー炉57内に配置し、所定の条件で、プリント回路基板54及び半導体パッケージ（半導体チップ）10に熱を加える。

【0104】その結果、図69に示すように、半田が溶融し、かつ、凝固して、半導体パッケージの外部接続用端子19とプリント回路基板54の配線55が互いに接続され、実装工程が終了する。

【0105】図28は、本発明の第3の実施の形態に関わる半導体パッケージを示している。図29は、図28の半導体パッケージのXXIX-XXIX線に沿う断面図を示している。

【0106】まず、この半導体パッケージの構造について説明する。

【0107】半導体チップ10は、例えば、一辺が1.3.5mmの正方形を有している。特定の機能を有する半導体素子は、半導体基板11に形成されている。複数のパッド（入出力端子）12は、半導体基板11上に形成されている。各パッド12は、半導体基板11、半導体基板11中の不純物領域、半導体素子などに接続されている。

【0108】これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成されている。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0109】パッシベーション膜13は、半導体基板11上に形成されている。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成されている。

【0110】また、パッシベーション膜13は、各パッド12上において開口14を有している。パッシベーション膜13の表面は、平坦になっている。

【0111】パッシベーション膜13の縁部は、半導体基板11の縁部まで達していない。即ち、半導体基板11上から見た場合に、パッシベーション膜13の輪郭Xは、半導体基板の輪郭Yの内側に存在している。パッシベーション膜13の輪郭Xと半導体基板11の輪郭Yの間には、半導体基板11の縁部に沿って溝60が形成されている。

【0112】複数の配線15は、パッシベーション膜13上に形成され、本発明の特徴の一つである。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成されている。

【0113】パッシベーション膜16は、半導体基板11上及びパッシベーション膜13上に形成され、本発明の特徴の一つである。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0114】従って、パッシベーション膜16の厚さは、パッケージとして十分に機能する程度の厚さ、即ち、0.05~0.2mmの範囲に設定されている。また、パッシベーション膜16の表面は、電極を形成し易いように平坦になっている。

【0115】また、パッシベーション膜16は、パッシベーション膜13の縁部Xを完全に覆っている。即ち、パッシベーション膜13が外部に露出していないため、本発明の半導体パッケージは、図1及び図2の半導体パッケージに比べて、水分が半導体チップ10の内部に侵入し難く、耐湿性が向上する。

【0116】パッシベーション膜16は、配線15上において複数のスルーホール17を有している。この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点αに対して対称的に配置されている。

【0117】導電膜18は、スルーホール17内及びスルーホール17の周辺のパッシベーション膜16上に形成されている。導電膜18は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。この導電膜18は、パッシベーション膜16の表面部において外部接続用端子（電極）19を構成している。

【0118】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成されている。

【0119】上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として使用し、かつ、半導体基板11の上面に形成されたパッシベーション膜16をパッケージの一部として使用している。

【0120】即ち、上記構成を有する半導体パッケージによれば、ウェハプロセスにおいて半導体パッケージを形成することができるため、図73に示すように、アセンブリ工程を省略することができる。

【0121】従って、本発明の半導体パッケージは、アセンブリ工程を必要とする従来の半導体パッケージに比べて、半導体製品（完成品）の価格を低くすることができる。

【0122】また、図73に示す半導体素子のテスト工程（機能テストやバーンインなど）は、外部接続用端子19にソケットを接続し、各半導体素子にテスト信号を

与え、かつ、各半導体素子からテスト結果を取り出すことにより、簡易に行うことができる。

【0123】また、上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として用いているため、半導体製品のサイズは、半導体基板11のサイズと同じになる。即ち、半導体パッケージが半導体チップと一体化しているため、半導体製品の小型化を達成することができる。

【0124】従って、半導体製品をプリント回路基板に高密度で実装することができ、図73に示す実装工程におけるコストも低減することができる。

【0125】また、パッシベーション膜16は、パッシベーション膜13の縁部Xを完全に覆い、かつ、半導体基板11の縁部Yに接触している。このため、外部に露出する界面は、半導体基板11とパッシベーション膜16の界面のみとなるので、本発明の半導体パッケージは、湿気や外力に対しても非常に強くなる。

【0126】次に、図28及び図29の半導体パッケージの製造方法について説明する。

【0127】まず、図3に示すように、通常のウェハプロセスにより、ウェハ51の半導体チップ領域CにLSI（半導体素子などを含む）を形成する。

【0128】また、図3のAの部分拡大した図30、及び図31に示すように、ウェハの各半導体チップ領域Cに複数のパッド12を形成する。これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成される。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0129】なお、各半導体チップ領域Cは、例えば、一辺が約13.5mmの正方形を有している。ダイシングライン52は、半導体チップ領域Cの間に配置されている。

【0130】また、例えば、CVD法を用いて、半導体基板11上に半導体素子を覆うパッシベーション膜13を形成する。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成される。

【0131】また、例えば、化学機械的研磨（CMP）法によりパッシベーション膜13の表面を平坦にした後、PEP（写真蝕刻工程）を用いてパッシベーション膜13を部分的にエッチングする。その結果、パッシベーション膜13に各パッド12に達する開口14が形成される。

【0132】また、PEP法を用いて、パッシベーション膜13及び半導体基板11を部分的にエッチングし、ダイシングライン52の直下の領域を含む領域のパッシ

ベーション膜13及び半導体基板11を除去する。

【0133】その結果、パッシベーション膜13の縁部Xは、半導体チップ領域Cの輪郭（最終的に半導体基板11の輪郭となる）Yの内側に配置される。また、半導体基板11には、ダイシングライン52に沿い、かつ、ダイシングライン52の幅よりも広い幅を有する溝60が形成される。

【0134】なお、この溝60は、ダイシングライン52の直下のパッシベーション膜13を完全に除去するために、半導体基板11をオーバーエッチングすることにより形成されるものである。

【0135】次に、図32及び図33に示すように、例えば、スパッタ法を用いて、パッシベーション膜13上の全面に、導電膜を形成する。また、PEP法を用いて、この導電膜をパターニングし、パッシベーション膜13上に複数の配線15を形成する。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成される。

【0136】次に、図34及び図35に示すように、例えば、CVD法を用いて、パッシベーション膜13上に0.05～0.2mmの膜厚を有するパッシベーション膜16を形成する。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0137】また、例えば、CMP法により、電極を形成し易いようにパッシベーション膜16の表面を平坦にする。PEP法を用いてパッシベーション膜16を部分的にエッチングし、配線15上のパッシベーション膜16に複数のスルーホール17を形成する。

【0138】この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点αに対して対称的に配置されている。

【0139】次に、図36及び図37に示すように、例えば、スパッタ法を用いて、パッシベーション膜16上の全面に、導電膜18を形成する。また、PEP法を用いて、この導電膜18をパターニングし、パッシベーション膜16上に複数の外部接続用端子（電極）19を形成する。外部接続用端子19は、パッシベーション膜16に設けられたスルーホール17の直下の配線15に接続されている。外部接続用端子19は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。

【0140】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成される。

【0141】次に、図38及び図39に示すように、ダイシング装置を用いて、ダイシングライン（例えば、図36の図番52）沿ってウェハを切断すると、複数の半導体チップ10が得られる。この時、半導体パッケージも同時に完成する。

【0142】なお、図40に示すように、半導体チップ10のエッジ部分を丸めるために、半導体チップ10に対して熱処理を加え、パッシベーション膜16のエッジ部分を丸めるようにしてもよい。

【0143】以上の工程により、図28及び図29に示すような、半導体チップと一体化した半導体パッケージが完成する。

【0144】次に、図28及び図29の半導体パッケージの実装方法について説明する。

【0145】まず、図65に示すように、半導体パッケージの外部接続用端子19上に半田ボール53を形成する（本発明の第7の実施の形態に相当）。この半田ボール53は、本発明の半導体パッケージをプリント回路基板に実装し易くするために設けられるものである。従って、半田ボール53は、必ずしも必要なものではない。

【0146】次に、図67に示すように、プリント回路基板54上の配線55の所定位置に、本発明の半導体パッケージの半田ボール53が接触するように、本発明の半導体パッケージをプリント回路基板54上に配置する。

【0147】なお、プリント回路基板54の配線55の所定位置には、半田56がプリントされている。

【0148】次に、図68に示すように、プリント回路基板54をリフロー炉57内に配置し、所定の条件で、プリント回路基板54及び半導体パッケージ（半導体チップ）10に熱を加える。

【0149】その結果、図69に示すように、半田が溶融し、かつ、凝固して、半導体パッケージの外部接続用端子19とプリント回路基板54の配線55が互いに接続され、実装工程が終了する。

【0150】図41は、本発明の第4の実施の形態に関わる半導体パッケージを示している。図42は、図41の半導体パッケージのXLI I-XLI I線に沿う断面図を示している。

【0151】まず、この半導体パッケージの構造について説明する。

【0152】半導体チップ10は、例えば、一辺が1.3.5mmの正方形を有している。特定の機能を有する半導体素子は、半導体基板11に形成されている。複数のパッド（入出力端子）12は、半導体基板11上に形成されている。各パッド12は、半導体基板11、半導体基板11中の不純物領域、半導体素子などに接続されている。

【0153】これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）

を利用した場合には、主として半導体基板11の周辺部に形成されている。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0154】パッシベーション膜13は、半導体基板11上に形成されている。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成されている。

【0155】また、パッシベーション膜13は、各パッド12上において開口14を有している。パッシベーション膜13の表面は、平坦になっている。

【0156】パッシベーション膜13の縁部は、半導体基板11の縁部まで達していない。即ち、半導体基板11上から見た場合に、パッシベーション膜13の輪郭Xは、半導体基板の輪郭Yの内側に存在している。パッシベーション膜13の輪郭Xと半導体基板11の輪郭Yの間には、半導体基板11の縁部に沿って溝60が形成されている。

【0157】複数の配線15は、パッシベーション膜13上に形成され、本発明の特徴の一つである。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成されている。

【0158】パッシベーション膜16は、半導体基板11上及びパッシベーション膜13上に形成され、本発明の特徴の一つである。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0159】従って、パッシベーション膜16の厚さは、パッケージとして十分に機能する程度の厚さ、即ち、0.05~0.2mmの範囲に設定されている。また、パッシベーション膜16の表面は、電極を形成し易いように平坦になっている。

【0160】また、パッシベーション膜16は、パッシベーション膜13の縁部Xを完全に覆っている。即ち、パッシベーション膜13が外部に露出していないため、本発明の半導体パッケージは、図1及び図2の半導体パッケージに比べて、水分が半導体チップ10の内部に侵入し難く、耐湿性が向上する。

【0161】パッシベーション膜16は、配線15上において複数のスルーホール17を有している。この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点αに対して対称的に配置されてる。

【0162】薄い金属膜31は、スルーホール17内及

びスルーホール17の周辺のパッシベーション膜16上に形成されている。金属膜31の厚さは、スルーホール17の大きさ（直径）に対して十分に小さくなるように設定されている。金属膜31は、例えば、厚さ約0.05 μ mのチタン、厚さ約0.3 μ mのニッケル、厚さ約0.1 μ mのパラジウム、又はこれら3つ材料を積層したものなどから構成される。

【0163】メッキ層32は、スルーホール17内の金属膜31上及びスルーホール17の周辺の金属膜31上に形成されている。メッキ層32は、銅、金、ニッケル、ニッケルと金の2層構造などから構成されている。このメッキ層32は、パッシベーション膜16の表面部において外部接続用端子（電極）19を構成している。

【0164】金属膜31は、例えば、電気メッキ法によりメッキ層32を形成する際におけるメッキ電極として機能するものである。同時に、金属膜31は、半導体チップ10に熱を加える熱工程時に、金属原子の拡散や合金反応を防止するバリアメタルとしても機能する。

【0165】外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12 \times 12のアレイ状）に144個形成されている。また、外部接続用端子19の高さは、数 μ m～10 μ mの範囲に設定されている。

【0166】上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として使用し、かつ、半導体基板11の上面に形成されたパッシベーション膜16をパッケージの一部として使用している。

【0167】即ち、上記構成を有する半導体パッケージによれば、ウェハプロセスにおいて半導体パッケージを形成することができるため、図73に示すように、アセンブリ工程を省略することができる。

【0168】従って、本発明の半導体パッケージは、アセンブリ工程を必要とする従来の半導体パッケージに比べて、半導体製品（完成品）の価格を低くすることができる。

【0169】また、図73に示す半導体素子のテスト工程（機能テストやバーニンなど）は、外部接続用端子19にソケットを接続し、各半導体素子にテスト信号を与え、かつ、各半導体素子からテスト結果を取り出すことにより、簡易に行うことができる。

【0170】また、上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として用いているため、半導体製品のサイズは、半導体基板11のサイズと同じになる。即ち、半導体パッケージが半導体チップと一体化しているため、半導体製品の小型化を達成することができる。

【0171】従って、半導体製品をプリント回路基板に高密度で実装することができ、図73に示す実装工程に

おけるコストも低減することができる。

【0172】また、パッシベーション膜16は、パッシベーション膜13の縁部Xを完全に覆い、かつ、半導体基板11の縁部Yに接触している。このため、外部に露出する界面は、半導体基板11とパッシベーション膜16の界面のみとなるので、本発明の半導体パッケージは、湿気や外力に対しても非常に強くなる。

【0173】さらに、メッキ層32の直下に、メッキ電極となる金属膜31が配置されているため、外部接続用端子（電極）19は、電気メッキ法により低コストかつ容易に形成することができる。

【0174】次に、図41及び図42の半導体パッケージの製造方法について説明する。

【0175】まず、図3に示すように、通常のウェハプロセスにより、ウェハ51の半導体チップ領域CにLSI（半導体素子などを含む）を形成する。

【0176】また、図3のAの部分拡大した図43、及び図44に示すように、ウェハの各半導体チップ領域Cに複数のパッド12を形成する。これらのパッド12は、従来のウェハプロセス（ウェハ上に半導体素子などを形成するプロセス）を利用した場合には、主として半導体基板11の周辺部に形成される。しかし、本発明においては、新たなウェハプロセスを用いて、複数のパッド12を半導体基板11上の全体に均等に配置してもよい。

【0177】なお、各半導体チップ領域Cは、例えば、一辺が約13.5mmの正方形を有している。ダイシングライン52は、半導体チップ領域Cの間に配置されている。

【0178】また、例えば、CVD法を用いて、半導体基板11上に半導体素子を覆うパッシベーション膜13を形成する。このパッシベーション膜13は、従来のウェハプロセスに使用するパッシベーション膜と同じであり、酸化シリコンや、窒化シリコンなどの絶縁体から構成される。

【0179】また、例えば、化学機械的研磨（CMP）法によりパッシベーション膜13の表面を平坦にした後、PEP（写真蝕刻工程）を用いてパッシベーション膜13を部分的にエッチングする。その結果、パッシベーション膜13に各パッド12に達する開口14が形成される。

【0180】また、PEP法を用いて、パッシベーション膜13を部分的にエッチングし、ダイシングライン52の直下の領域を含む領域のパッシベーション膜13を除去する。その結果、パッシベーション膜13の縁部Xは、半導体チップ領域Cの輪郭（最終的に半導体基板11の輪郭となる）Yの内側に配置される。

【0181】次に、図45及び図46に示すように、例えば、スパッタ法を用いて、パッシベーション膜13上の全面に、導電膜を形成する。また、PEP法を用い

て、この導電膜をパターニングし、パッシベーション膜13上に複数の配線15を形成する。各配線15は、パッシベーション膜13に設けられた開口14の直下のパッド12に接続されている。複数の配線15は、アルミニウムや銅などの導電体から構成される。

【0182】次に、図47及び図48に示すように、例えば、CVD法を用いて、パッシベーション膜13上に0.05~0.2mmの膜厚を有するパッシベーション膜16を形成する。このパッシベーション膜16は、従来のウェハプロセスには使用されていないもので、パッド12を完全に覆っている。即ち、このパッシベーション膜16は、パッケージとしての機能を果たすものである。

【0183】また、例えば、CMP法により、電極を形成し易いようにパッシベーション膜16の表面を平坦にする。PEP法を用いてパッシベーション膜16を部分的にエッチングし、配線15上のパッシベーション膜16に複数のスルーホール17を形成する。

【0184】この複数のスルーホール17は、半導体基板11上から見た場合に、格子状（又はアレイ状）に配置されている。複数のスルーホール17は、例えば、絶縁保護膜16の表面の中心点 α に対して対称的に配置されている。

【0185】次に、図49及び図50に示すように、例えば、スパッタ法を用いて、スルーホール17の底面及び側面、及びパッシベーション膜16上の全面（ウェハ上の全面）に、薄い金属膜31を形成する。この金属膜31は、例えば、厚さ約0.05 μ mのチタン、厚さ約0.3 μ mのニッケル、厚さ約0.1 μ mのバラジウムを順次堆積することにより形成される。

【0186】次に、図51及び図52に示すように、金属膜31上の全面に、レジスト膜41を形成する。このレジスト膜41をパターニングし、スルーホール17上のレジスト膜41に、このスルーホール17の直径よりも大きい直径を有する開口42を形成する。この開口42の大きさは、パッケージの外部接続用端子（電極）の大きさと同じに設定される。

【0187】同時に、図53及び図54に示すように、ウェハ51の縁部に、電圧印加用の開口43を形成する。この開口43は、ウェハ51の縁部に1つだけ設けてもよいし、又は複数個設けてもよい。また、この開口43は、ウェハ51の縁部ではなく、ウェハ51の内部の所定位置に形成してもよい。

【0188】次に、図55に示すように、メッキ槽61を容易し、このメッキ槽61内に所定の溶液62を満たす。また、電源64の一端をウェハ51の開口43の金属膜31に接続すると共に、電源64の他端をメッキ用電極63に接続する。この後、ウェハ51及びメッキ用電極63を、メッキ槽61中の溶液62内に挿入する。

【0189】この後、スイッチ65を閉じると、図56

及び図57に示すように、メッキ層32が、レジスト膜41の開口42内、即ち、スルーホール17内の金属膜31上及びスルーホール17の周辺の金属膜31上に形成される。

【0190】このメッキ層32は、溶液62や電極63の種類を変えることにより、種々の材料から構成することができる。例えば、メッキ層32は、銅、金、ニッケル、ニッケルと金の2層構造などから構成される。

【0191】次に、レジスト膜41を除去すると、図58及び図59に示すように、パッケージの外部接続用端子（電極）19がパッシベーション膜16の表面部に形成される。この外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（12×12のアレイ状）に144個形成される。

【0192】次に、図60及び図61に示すように、ダイシング装置を用いて、ダイシングライン（例えば、図58の図番52）沿ってウェハを切断すると、複数の半導体チップ10が得られる。この時、半導体パッケージも同時に完成する。

【0193】なお、図62に示すように、半導体チップ10のエッジ部分を丸めるために、半導体チップ10に対して熱処理を加え、パッシベーション膜16のエッジ部分を丸めるようにしてもよい。

【0194】以上の工程により、図41及び図42に示すような、半導体チップと一体化した半導体パッケージが完成する。

【0195】次に、図41及び図42の半導体パッケージの実装方法について説明する。

【0196】まず、図66に示すように、半導体パッケージの外部接続用端子19上に半田ボール53を形成する（本発明の第8の実施の形態に相当）。この半田ボール53は、本発明の半導体パッケージをプリント回路基板に実装し易くするために設けられるものである。従って、半田ボール53は、必ずしも必要なものではない。

【0197】次に、図67に示すように、プリント回路基板54上の配線55の所定位置に、本発明の半導体パッケージの半田ボール53が接触するように、本発明の半導体パッケージをプリント回路基板54上に配置する。

【0198】なお、プリント回路基板54の配線55の所定位置には、半田56がプリントされている。

【0199】次に、図68に示すように、プリント回路基板54をリフロー炉57内に配置し、所定の条件で、プリント回路基板54及び半導体パッケージ（半導体チップ）10に熱を加える。

【0200】その結果、図69に示すように、半田が溶融し、かつ、凝固して、半導体パッケージの外部接続用端子19とプリント回路基板54の配線55が互いに接続され、実装工程が終了する。

【0201】図70は、本発明の第9の実施の形態に関わる半導体パッケージを示すものである。

【0202】この半導体パッケージは、外部接続用端子（電極）19の配列の仕方に特徴がある。

【0203】この半導体パッケージの外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、格子状（11×11のアレイ状）に121個形成されている。

【0204】従って、半導体パッケージの中心点αには、1つの外部接続用端子19が配置されている。これにより、外部接続用端子19は、半導体パッケージの中心点αに対して対称的に配置されることになる。

【0205】図71は、本発明の第10の実施の形態に関わる半導体パッケージを示すものである。

【0206】この半導体パッケージは、外部接続用端子（電極）19の配列の仕方に特徴がある。

【0207】この半導体パッケージの外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、半導体パッケージの周辺部に格子状に108個形成されている。

【0208】即ち、この半導体パッケージは、図1の半導体パッケージと比べると、図1の半導体パッケージの外部接続用端子19のうち、中央部に配置される6×6のアレイ状の外部接続用端子19を省略したものと考えることができる。

【0209】この場合も、外部接続用端子19は、半導体パッケージの中心点αに対して対称的に配置されている。

【0210】図72は、本発明の第11の実施の形態に関わる半導体パッケージを示すものである。

【0211】この半導体パッケージは、外部接続用端子（電極）19の配列の仕方に特徴がある。

【0212】この半導体パッケージの外部接続用端子19は、半導体チップ11上から見た場合に、例えば、直径Lが約0.5mmの円形を有し、かつ、ピッチPが約1mmで、半導体パッケージの周辺部に格子状に96個形成されている。

【0213】即ち、この半導体パッケージは、図70の半導体パッケージと比べると、図70の半導体パッケージの外部接続用端子19のうち、中央部に配置される5×5のアレイ状の外部接続用端子19を省略したものと考えることができる。

【0214】この場合も、外部接続用端子19は、半導体パッケージの中心点αに対して対称的に配置されている。

【0215】

【発明の効果】以上、説明したように、本発明の半導体チップと一体化した半導体パッケージ及びその製造方法

によれば、次のような効果を奏する。

【0216】半導体基板の下面（裏面）及び側面をパッケージの一部として使用し、かつ、半導体基板の上面に形成されたパッシベーション膜をパッケージの一部として使用している。

【0217】即ち、上記構成を有する半導体パッケージ及びその製造方法によれば、ウェハプロセスにおいて半導体パッケージを形成することができるため、アセンブリ工程を省略することができる。

【0218】従って、本発明の半導体パッケージは、アセンブリ工程を必要とする従来の半導体パッケージに比べて、半導体製品（完成品）の価格を低くすることができる。

【0219】また、半導体素子のテスト工程（機能テストやバーニンなど）は、外部接続用端子にソケットを接続し、各半導体素子にテスト信号を与え、かつ、各半導体素子からテスト結果を取り出すことにより、簡易に行うことができる。

【0220】また、上記構成を有する半導体パッケージによれば、半導体基板11の下面（裏面）及び側面をパッケージの一部として用いているため、半導体製品のサイズは、半導体基板のサイズと同じになる。即ち、半導体パッケージが半導体チップと一体化しているため、半導体製品の小型化を達成することができる。

【0221】従って、半導体製品をプリント回路基板に高密度で実装することができ、実装工程におけるコストも低減することができる。

【0222】また、パッシベーション膜は、パッシベーション膜の縁部を完全に覆い、かつ、半導体基板の縁部に接触している。このため、外部に露出する界面は、半導体基板とパッシベーション膜の界面のみとなるので、本発明の半導体パッケージは、湿気や外力に対しても非常に強くなる。

【0223】さらに、メッキ層の直下に、メッキ電極となる金属膜を配置すれば、外部接続用端子（電極）は、電気メッキ法により低コストかつ容易に形成することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に関わる半導体パッケージを示す平面図。

【図2】図1のI-I線に沿う断面図。

【図3】図1のパッケージの製造方法の一工程を示す平面図。

【図4】図1のパッケージの製造方法の一工程を示す平面図。

【図5】図4のV-V線に沿う断面図。

【図6】図1のパッケージの製造方法の一工程を示す平面図。

【図7】図6のV-I-V-I線に沿う断面図。

【図8】図1のパッケージの製造方法の一工程を示す平

面図。

【図 9】図 8 の I X-I X 線に沿う断面図。

【図 10】図 1 のパッケージの製造方法の一工程を示す平面図。

【図 11】図 10 の X I-X I 線に沿う断面図。

【図 12】図 1 のパッケージの製造方法の一工程を示す平面図。

【図 13】図 12 の X I I I-X I I I 線に沿う断面図。

【図 14】図 1 のパッケージの製造方法の一工程を示す断面図。

【図 15】本発明の第 2 の実施の形態に関わる半導体パッケージを示す平面図。

【図 16】図 15 の X V I-X V I 線に沿う断面図。

【図 17】図 15 のパッケージの製造方法の一工程を示す平面図。

【図 18】図 17 の X V I I I-X V I I I 線に沿う断面図。

【図 19】図 15 のパッケージの製造方法の一工程を示す平面図。

【図 20】図 19 の X X-X X 線に沿う断面図。

【図 21】図 15 のパッケージの製造方法の一工程を示す平面図。

【図 22】図 21 の X X I I-X X I I 線に沿う断面図。

【図 23】図 15 のパッケージの製造方法の一工程を示す平面図。

【図 24】図 23 の X X I V-X X I V 線に沿う断面図。

【図 25】図 15 のパッケージの製造方法の一工程を示す平面図。

【図 26】図 25 の X X V I-X X V I 線に沿う断面図。

【図 27】図 15 のパッケージの製造方法の一工程を示す断面図。

【図 28】本発明の第 3 の実施の形態に関わる半導体パッケージを示す平面図。

【図 29】図 28 の X X I X-X X I X 線に沿う断面図。

【図 30】図 28 のパッケージの製造方法の一工程を示す平面図。

【図 31】図 30 の X X X I-X X X I 線に沿う断面図。

【図 32】図 28 のパッケージの製造方法の一工程を示す平面図。

【図 33】図 32 の X X X I I I-X X X I I I 線に沿う断面図。

【図 34】図 28 のパッケージの製造方法の一工程を示す平面図。

【図 35】図 34 の X X X V-X X X V 線に沿う断面

図。

【図 36】図 28 のパッケージの製造方法の一工程を示す平面図。

【図 37】図 36 の X X X V I I-X X X V I I 線に沿う断面図。

【図 38】図 28 のパッケージの製造方法の一工程を示す平面図。

【図 39】図 38 の X X X I X-X X X I X 線に沿う断面図。

【図 40】図 28 のパッケージの製造方法の一工程を示す断面図。

【図 41】本発明の第 4 の実施の形態に関わる半導体パッケージを示す平面図。

【図 42】図 41 の X L I I-X L I I 線に沿う断面図。

【図 43】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 44】図 43 の X L I V-X L I V 線に沿う断面図。

【図 45】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 46】図 45 の X L V I-X L V I 線に沿う断面図。

【図 47】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 48】図 47 の X L V I I I-X L V I I I 線に沿う断面図。

【図 49】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 50】図 49 の L-L 線に沿う断面図。

【図 51】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 52】図 51 の L I I-L I I 線に沿う断面図。

【図 53】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 54】図 53 の L I V-L I V 線に沿う断面図。

【図 55】図 41 のパッケージの製造方法の一工程を示す図。

【図 56】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 57】図 56 の L V I I-L V I I 線に沿う断面図。

【図 58】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 59】図 58 の L I X-L I X 線に沿う断面図。

【図 60】図 41 のパッケージの製造方法の一工程を示す平面図。

【図 61】図 60 の L X I-L X I 線に沿う断面図。

【図 62】図 41 のパッケージの製造方法の一工程を示す断面図。

【図 6 3】本発明の第 5 の実施の形態に関わる半導体パッケージを示す平面図。

【図 6 4】本発明の第 6 の実施の形態に関わる半導体パッケージを示す平面図。

【図 6 5】本発明の第 7 の実施の形態に関わる半導体パッケージを示す平面図。

【図 6 6】本発明の第 8 の実施の形態に関わる半導体パッケージを示す平面図。

【図 6 7】図 6 6 のパッケージをプリント基板に実装する方法の一工程を示す断面図。

【図 6 8】図 6 6 のパッケージをプリント基板に実装する方法の一工程を示す断面図。

【図 6 9】図 6 6 のパッケージをプリント基板に実装する方法の一工程を示す断面図。

【図 7 0】本発明の第 9 の実施の形態に関わる半導体パッケージを示す平面図。

【図 7 1】本発明の第 10 の実施の形態に関わる半導体パッケージを示す平面図。

【図 7 2】本発明の第 11 の実施の形態に関わる半導体パッケージを示す平面図。

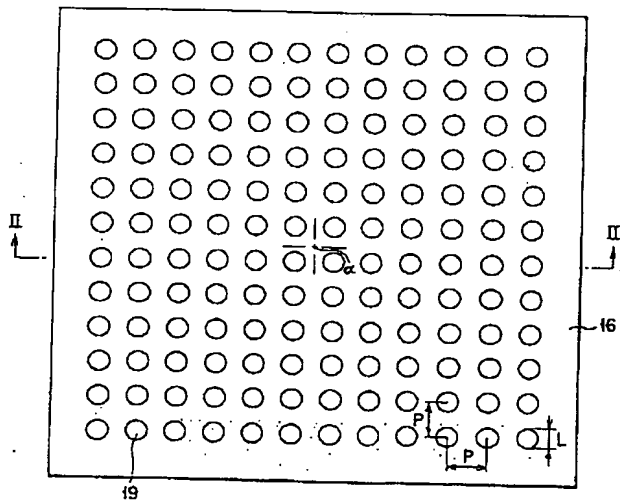
【図 7 3】本発明のパッケージを用いた場合の半導体製品の製造工程の全てを示す図。

【図 7 4】従来のパッケージを用いた場合の半導体製品の製造工程の全てを示す図。

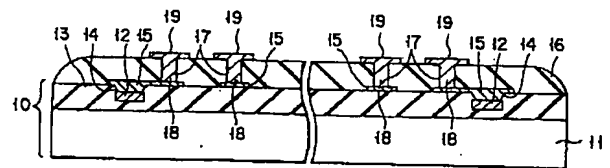
【符号の説明】

- 10 : 半導体チップ、
- 11 : 半導体基板、
- 12 : パッド（入出力端子）、
- 13, 16 : パッシベーション膜、
- 14, 42, 43 : 開口、
- 15 : 配線、
- 17 : スルーホール、
- 18 : 導電膜、
- 19 : 外部接続用端子（電極）、
- 31 : 金属膜、
- 32 : メッキ層、
- 41 : レジスト膜、
- 51 : ウェハ、
- 52 : ダイシングライン、
- 53 : 半田ボール、
- 54 : プリント回路基板、
- 55 : 配線、
- 56 : 半田、
- 57 : リフロー炉、
- 60 : 溝、
- 61 : メッキ槽、
- 62 : 溶液、
- 63 : メッキ用電極、
- 64 : 電源、
- 65 : スイッチ。

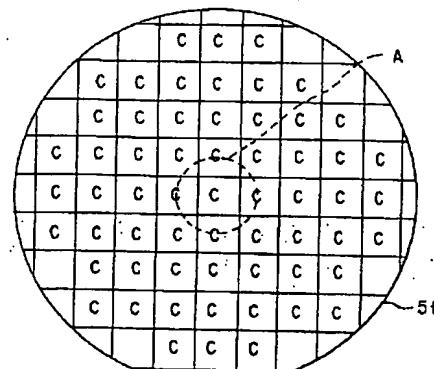
【図 1】



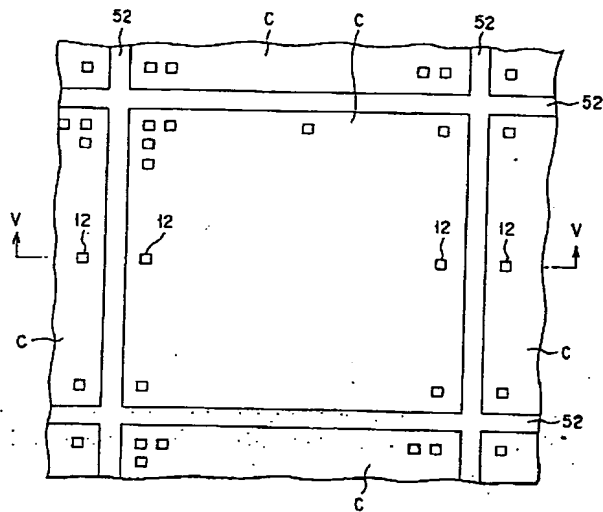
【図 2】



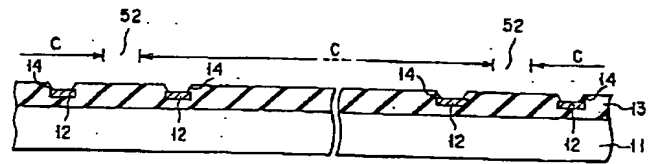
【図 3】



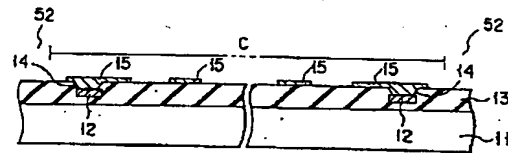
【図 4】



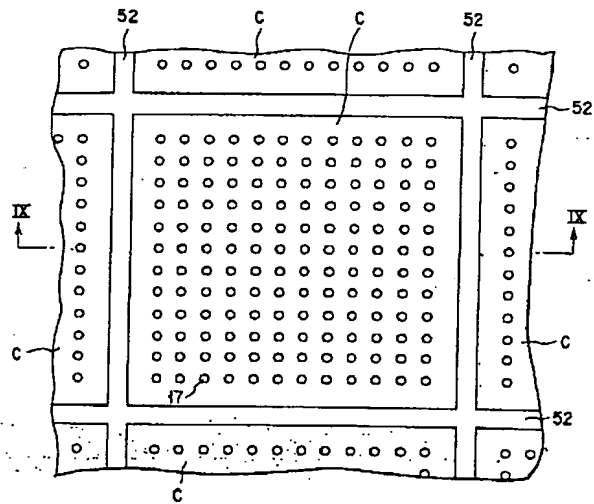
【図 5】



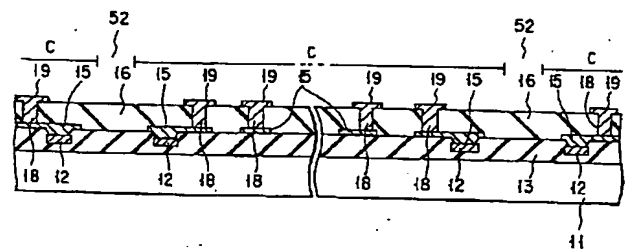
【図 7】



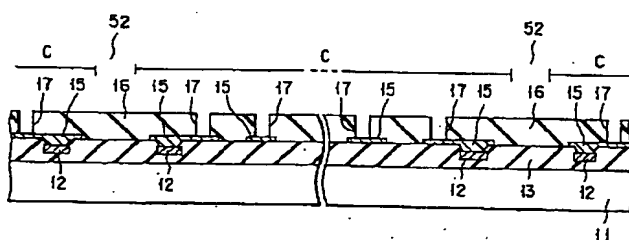
【図 8】



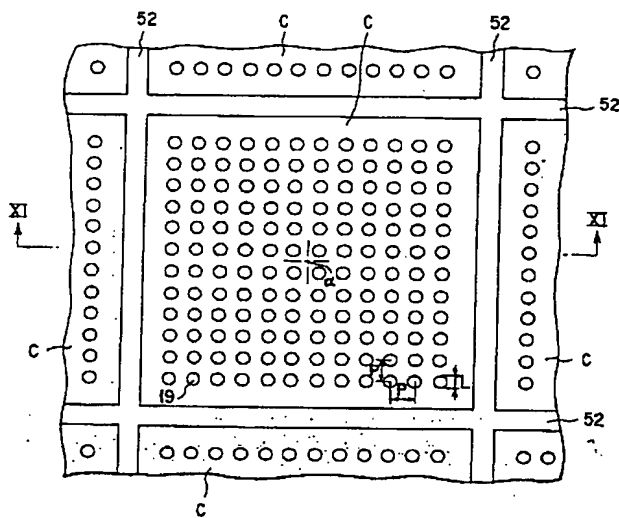
【図 11】



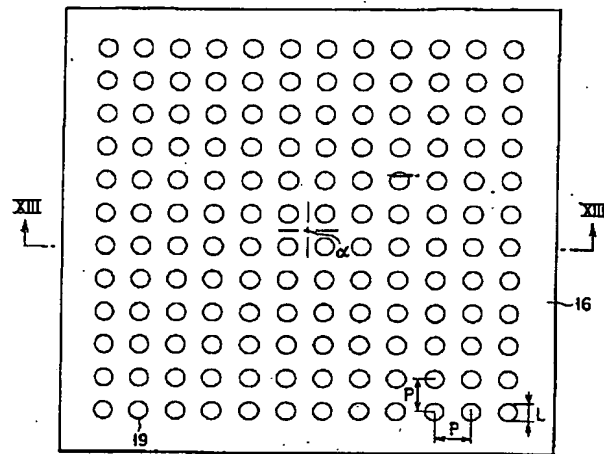
【図 9】



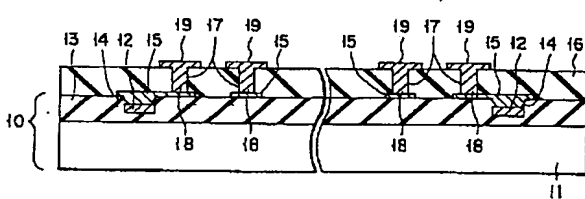
【図 10】



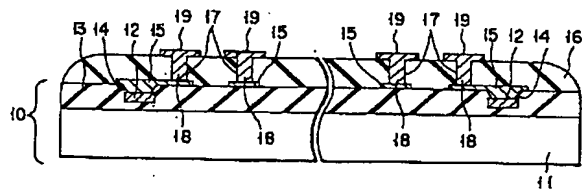
【図 12】



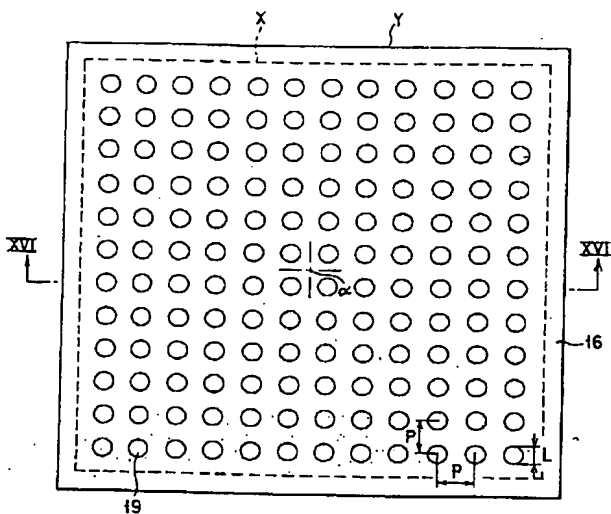
【図 13】



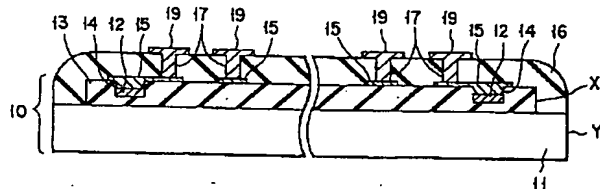
【図 14】



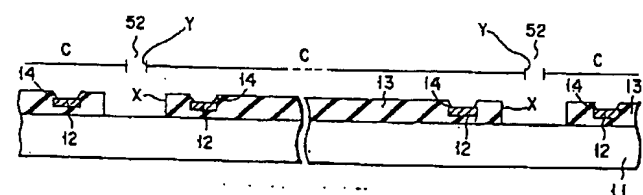
【図 15】



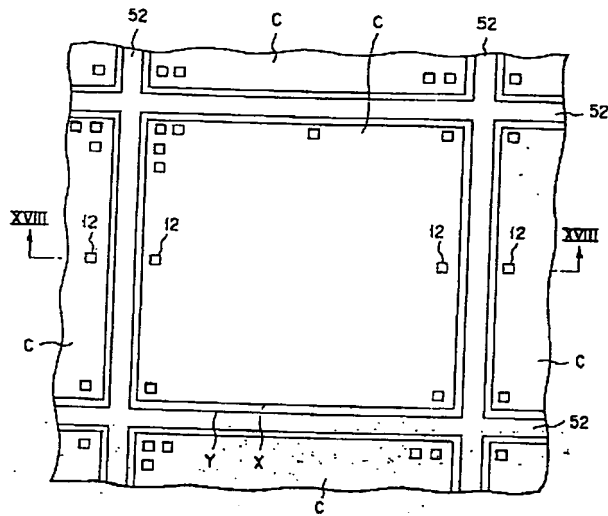
【図 16】



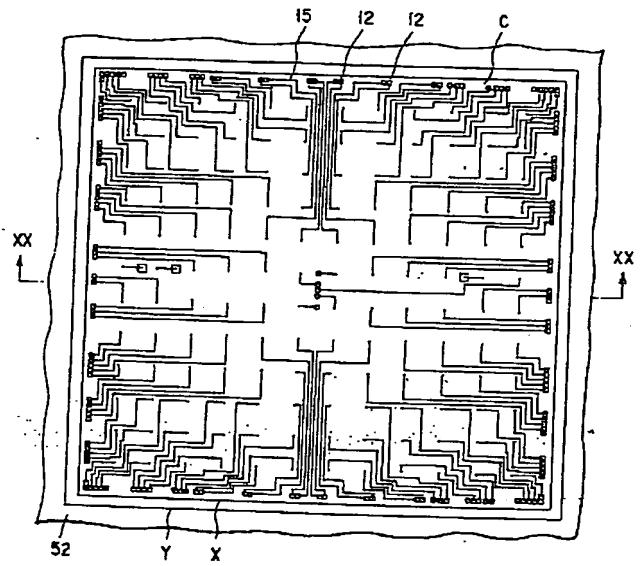
【図 18】



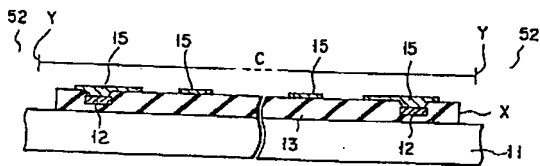
【図 17】



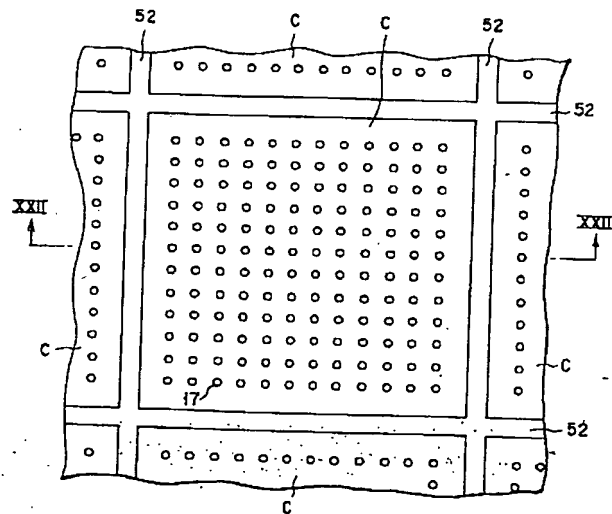
【図 19】



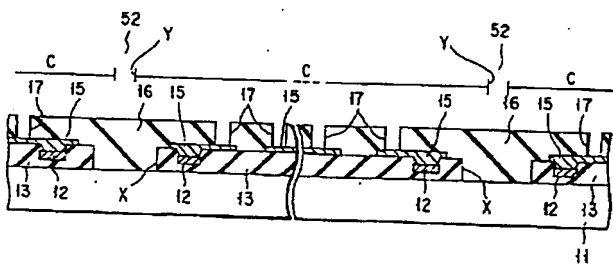
【図 20】



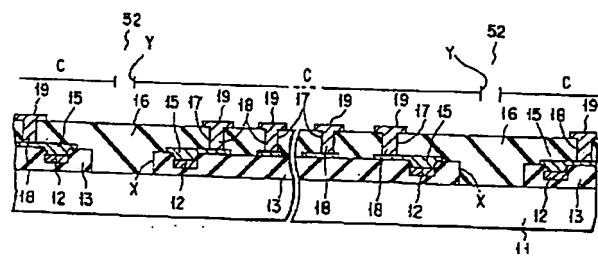
【図 21】



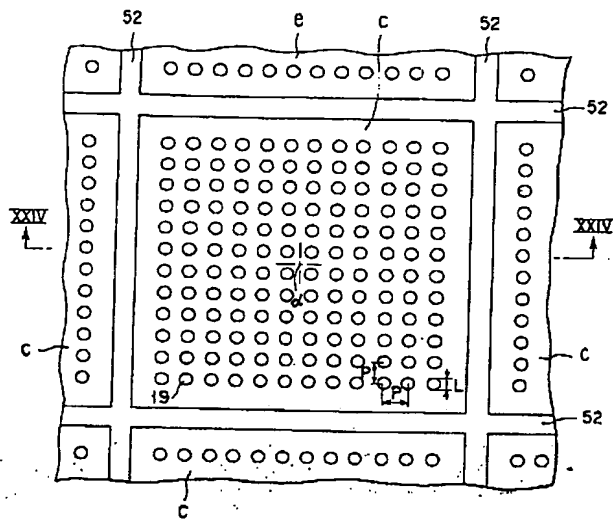
【図 22】



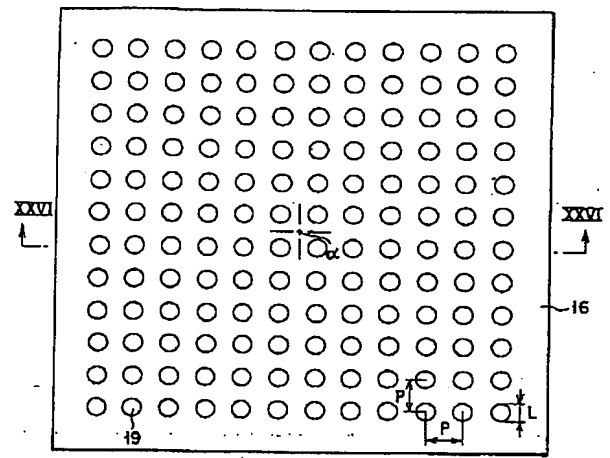
【図 24】



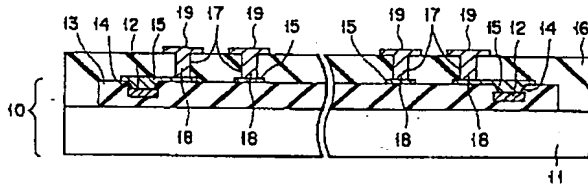
【図 23】



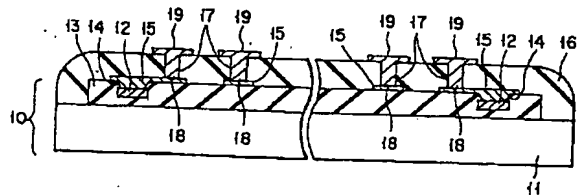
【図 25】



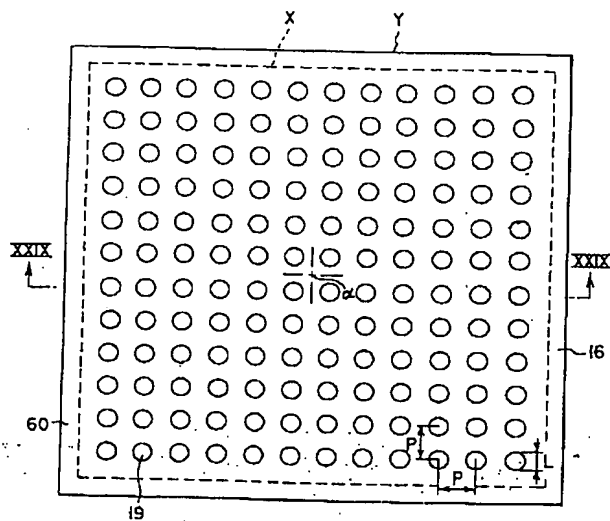
【図 26】



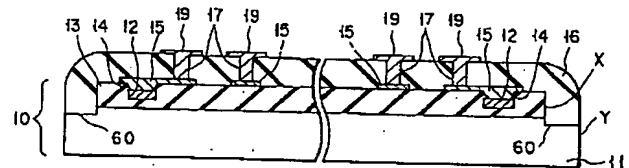
【図 27】



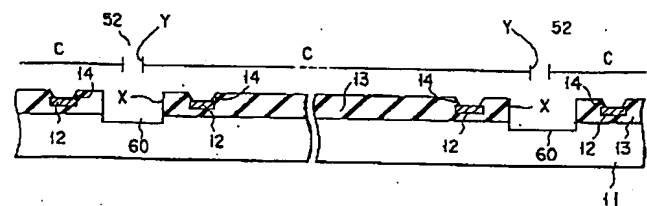
【図 28】



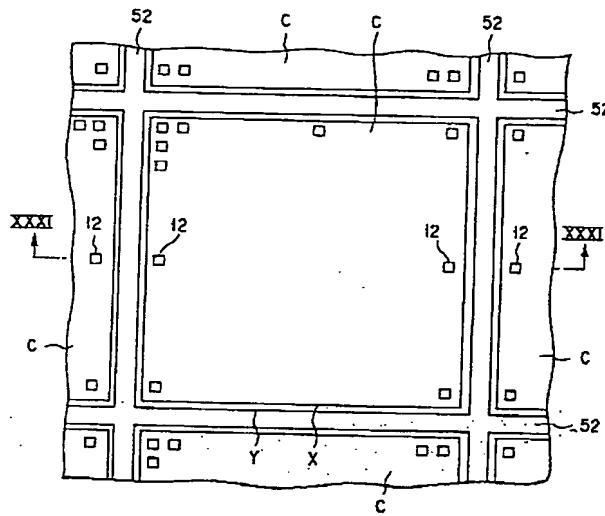
【図 29】



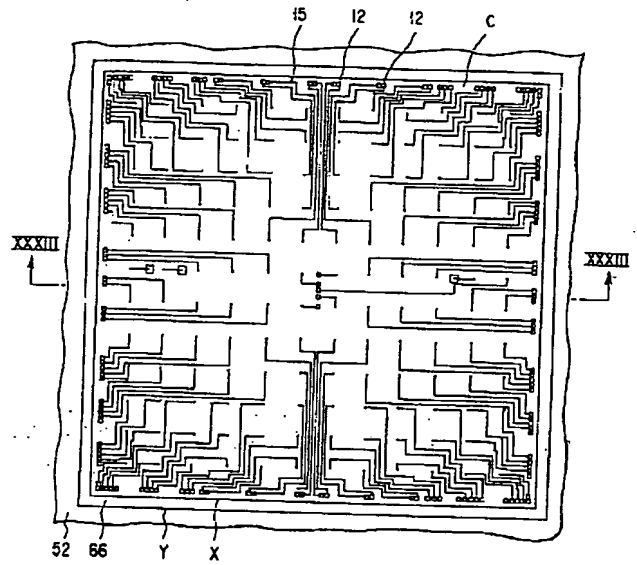
【図 31】



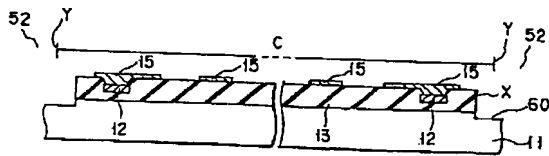
【図30】



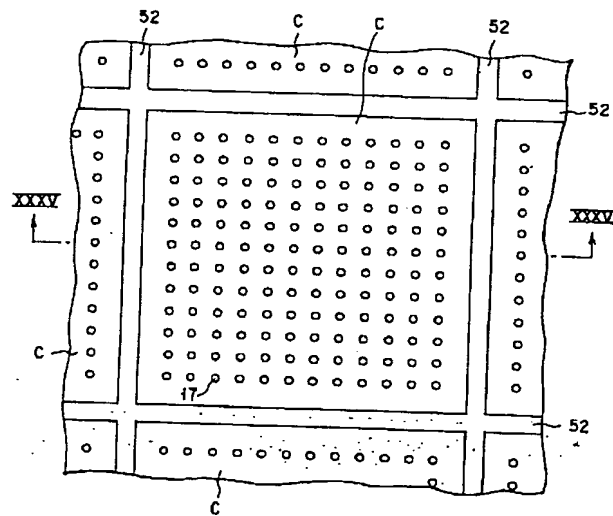
【図32】



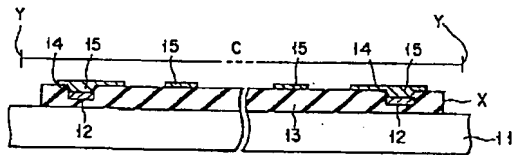
【図33】



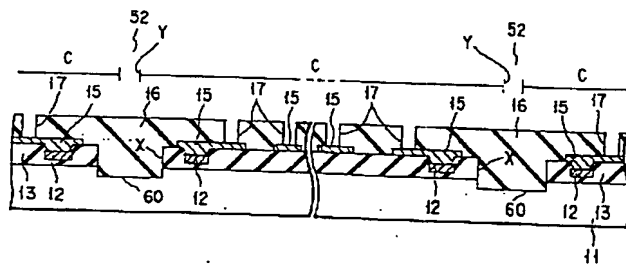
【図34】



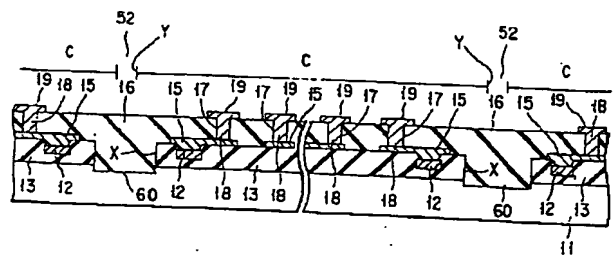
【図46】



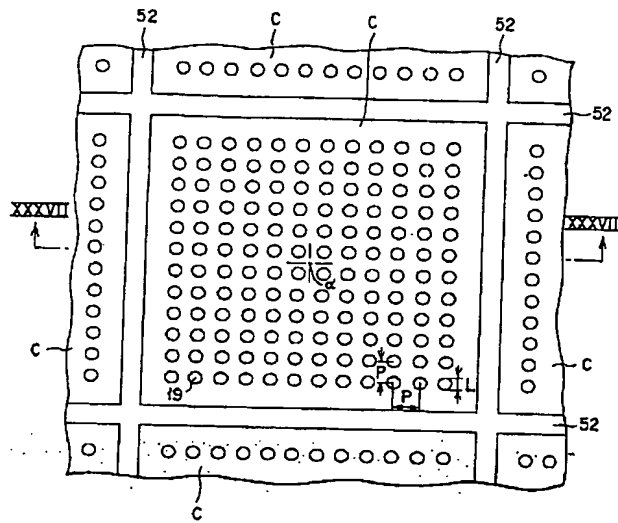
【図35】



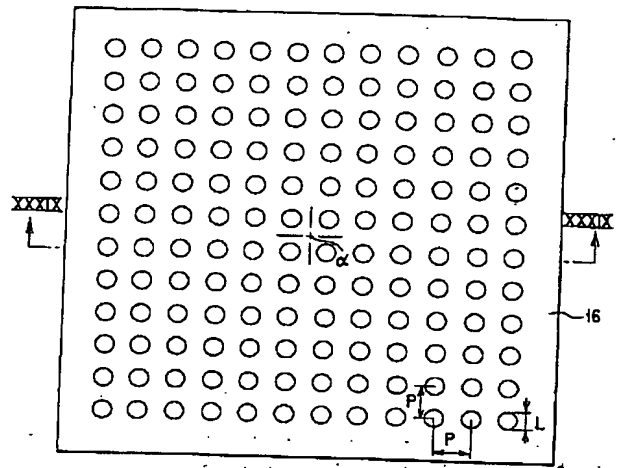
【図37】



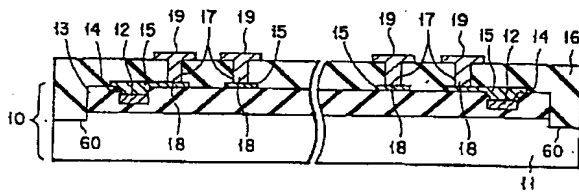
【図36】



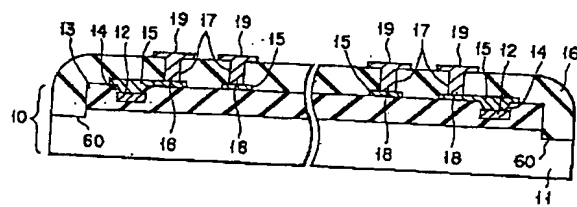
【図38】



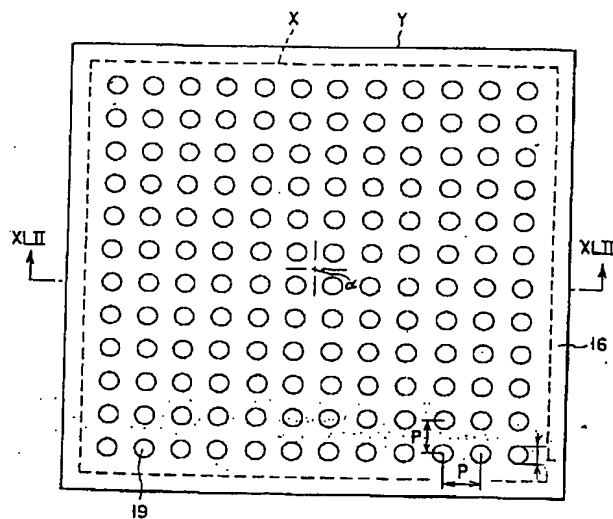
【図39】



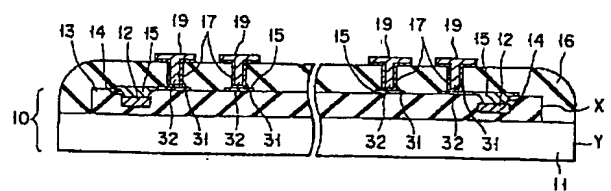
【図40】



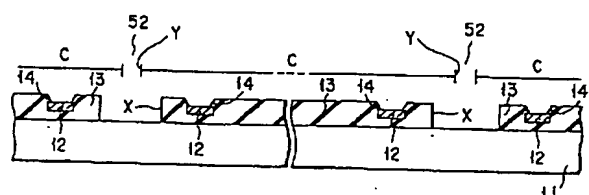
【図41】



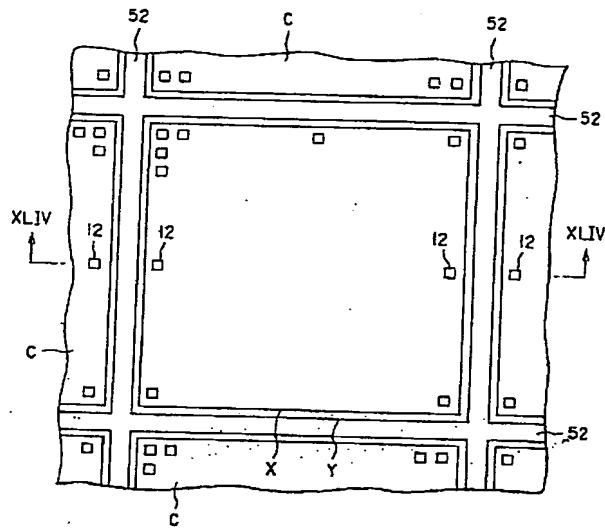
【図42】



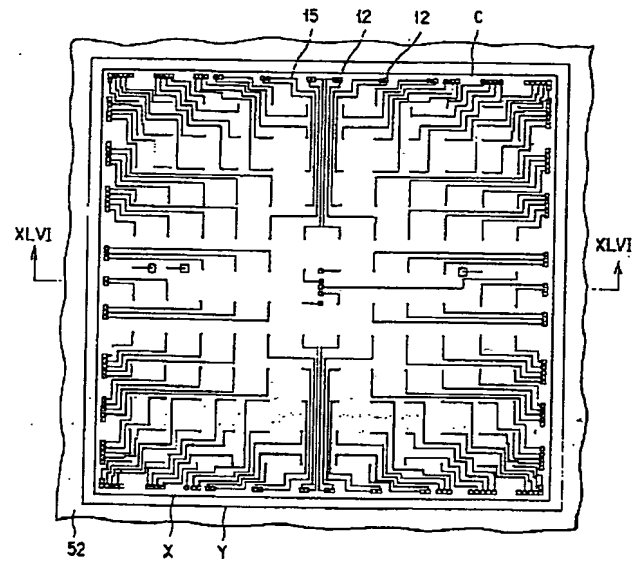
【図44】



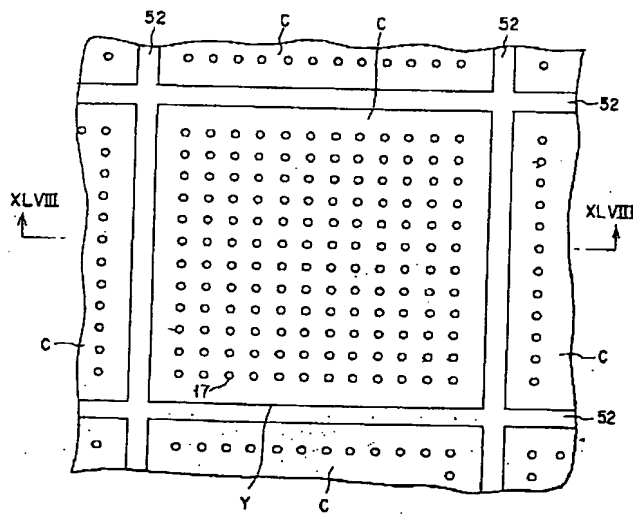
【図 43】



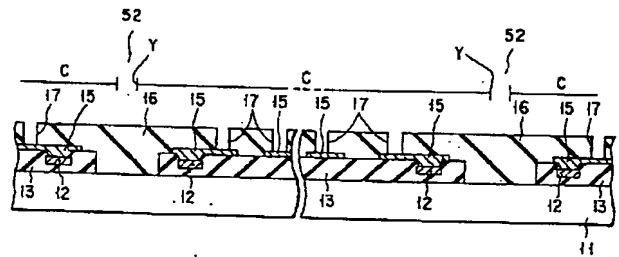
【図 45】



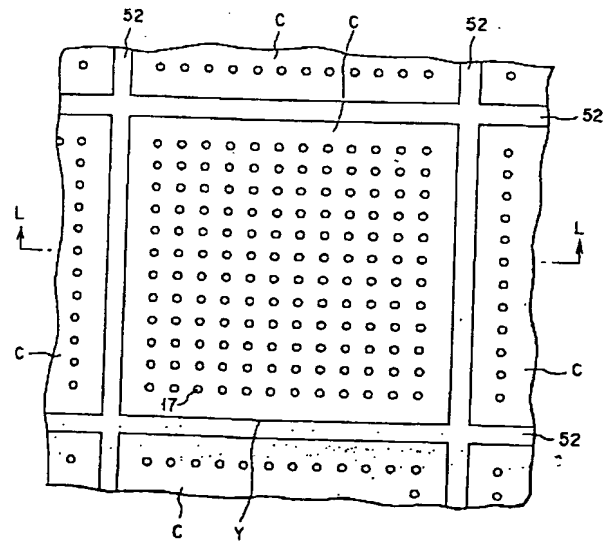
【図 47】



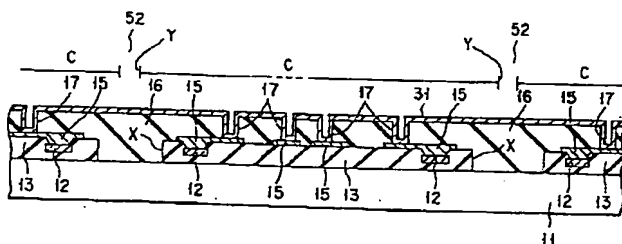
【図 48】



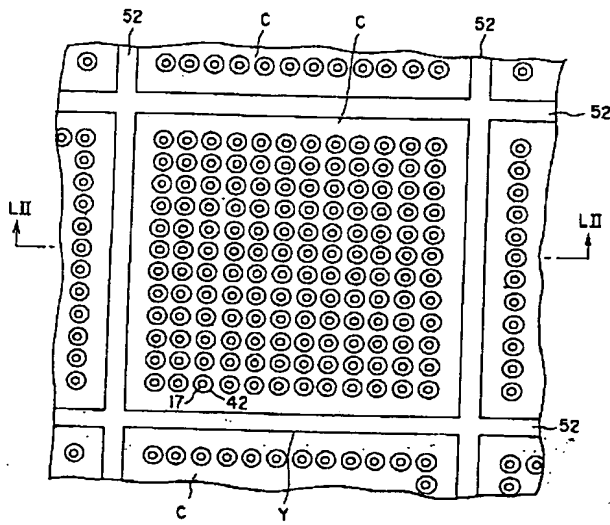
【図 49】



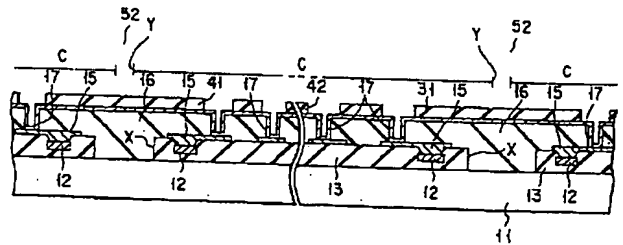
【図 50】



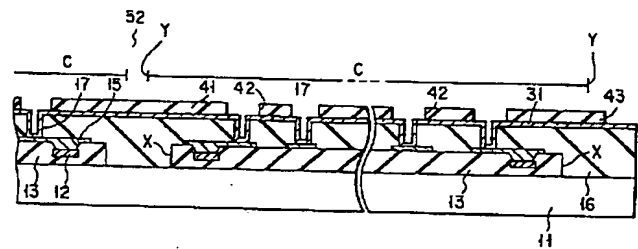
【図 5 1】



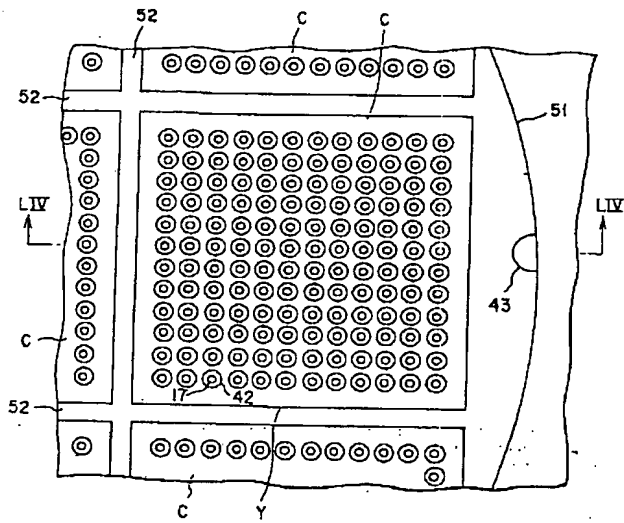
【図 5 2】



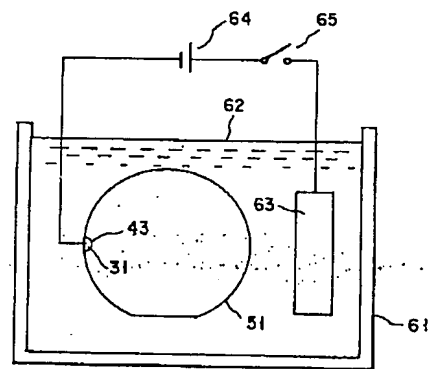
【図 5 4】



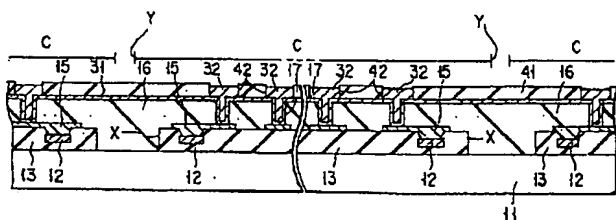
【図 5 3】



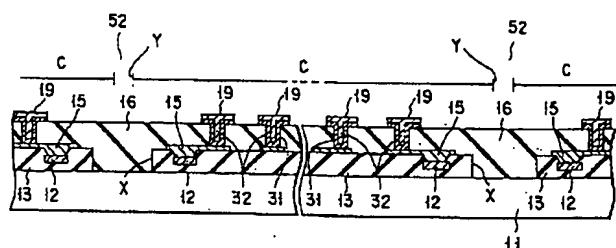
【図 5 5】



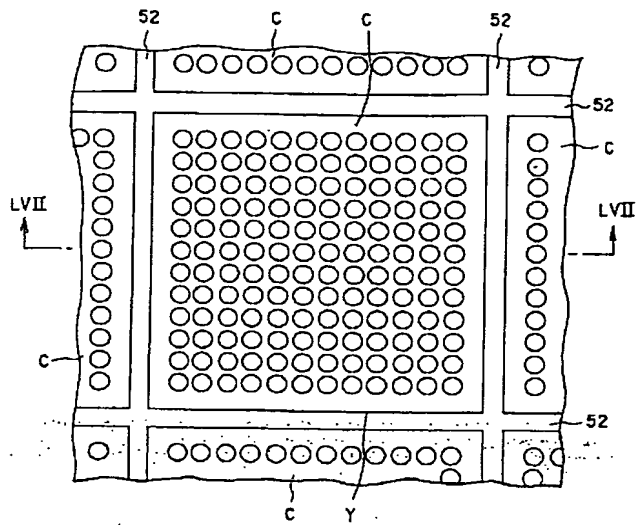
【図 5 7】



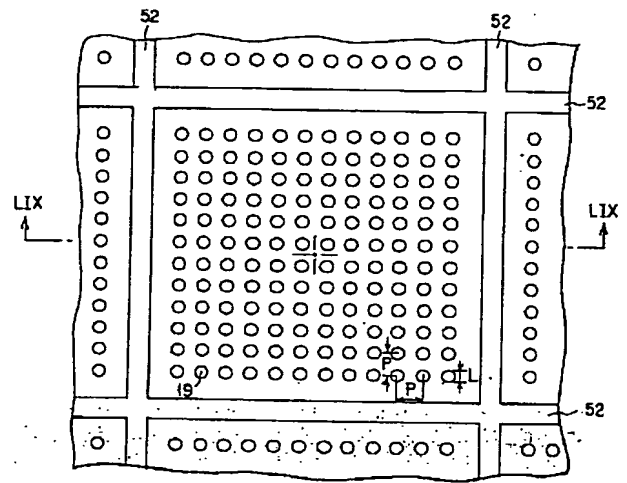
【図 5 9】



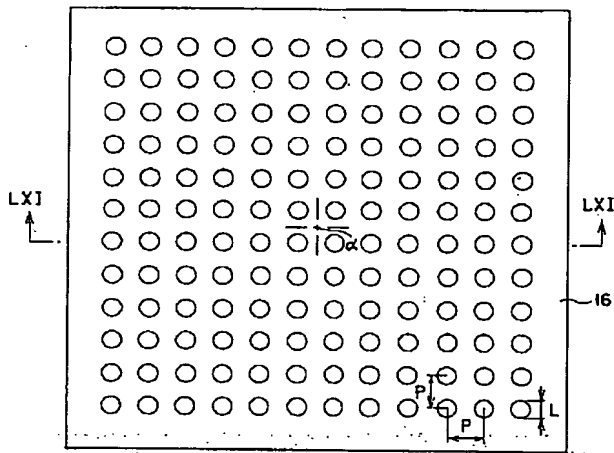
【図56】



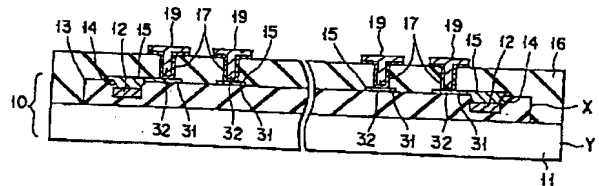
【図58】



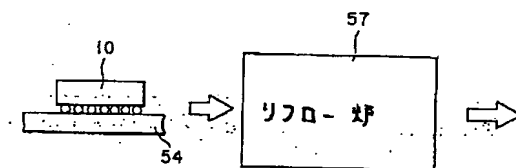
【図60】



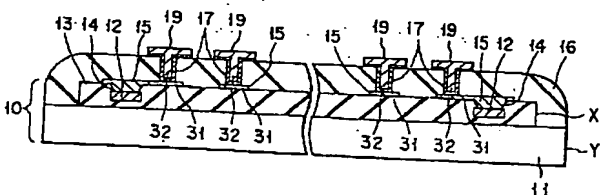
【図61】



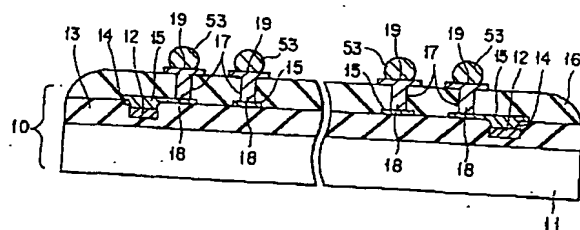
【図68】



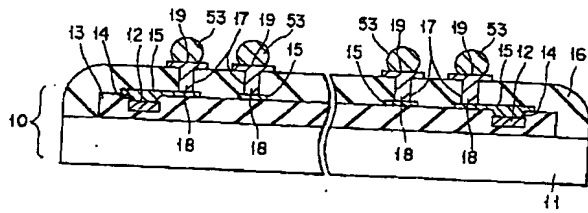
【図62】



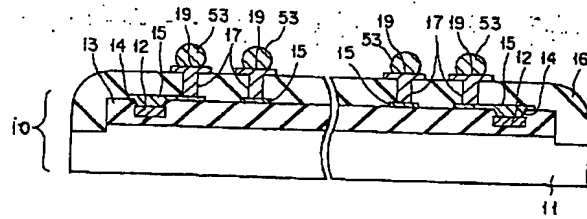
【図63】



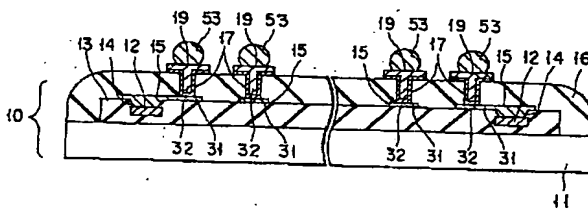
【図 6 4】



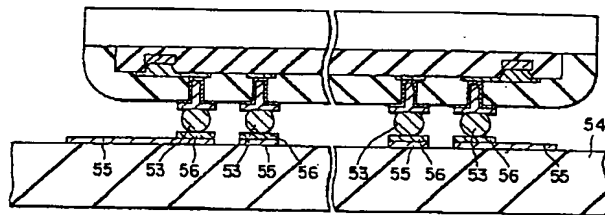
【図 6 5】



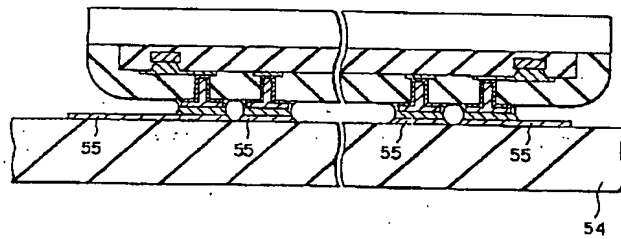
【図 6 6】



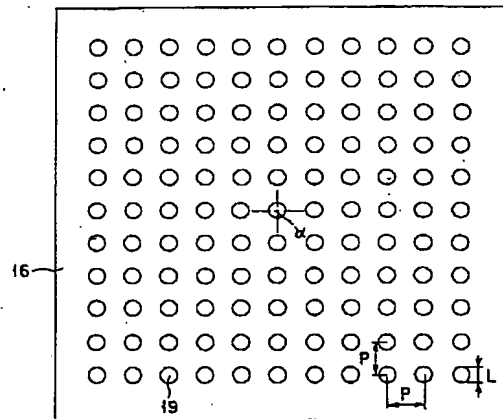
【図 6 7】



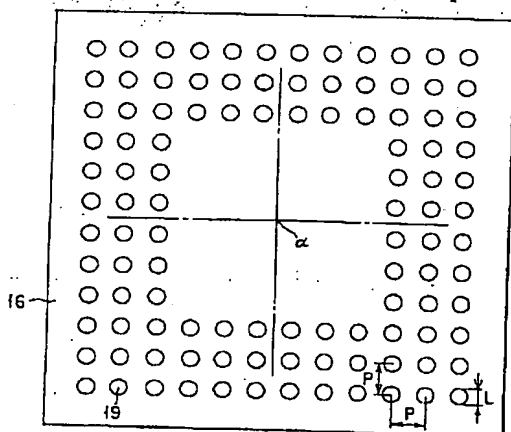
【図 6 9】



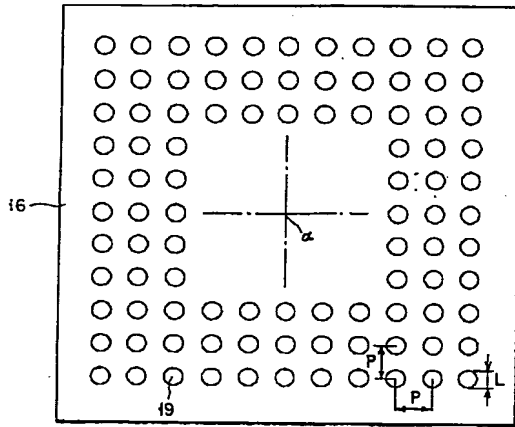
【図 7 0】



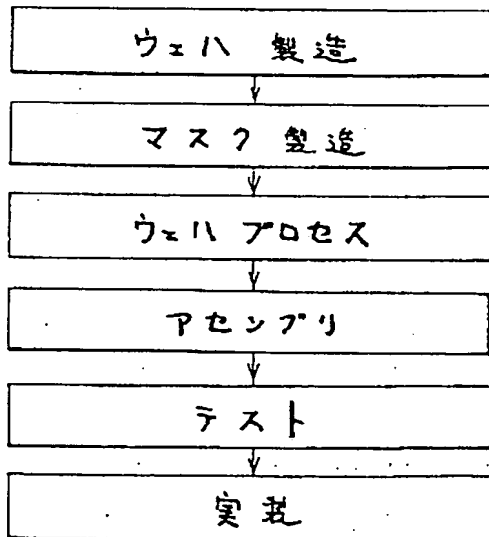
【図 7 1】



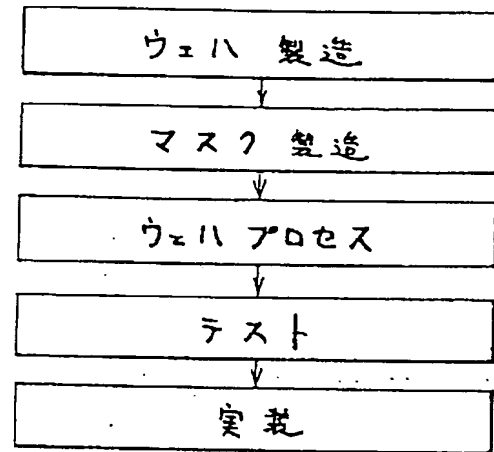
【図72】



【図74】



【図73】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-012768

(43)Date of publication of application : 16.01.1998

(51)Int.Cl.

H01L 23/14
H01L 23/12

(21)Application number : 08-164378

(71)Applicant : NEC CORP

(22)Date of filing : 25.06.1996

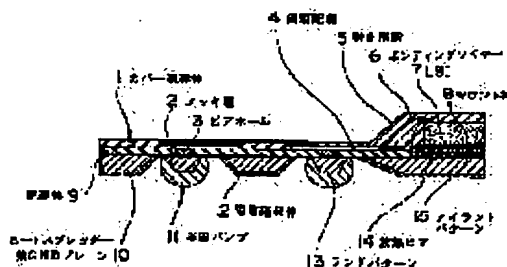
(72)Inventor : SUZUKI KATSUNOBU

(54) PACKAGE FOR SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a pack for a semiconductor device which can be produced in stable processes having high heat-radiating performance and high reliability.

SOLUTION: A metallic substrate of a three-layer structure having a metal plate with an insulating body on the plate and a copper foil on the insulating body is used. The metal plate of the metal substrate is formed into a heat spreader also used as a GND plane 10 and a plurality of isolated land patterns 13 which are mutually insulated electrically. Also, the copper foil is formed into copper foil wiring 4 and island pattern 15. The copper foil island 4 and the island pattern 15 respectively conduct electricity to the land pattern 13 by a via hole 3 and also to the heat spreader also used as GND plane 10 by a heat-radiating via 14. If the island pattern 15 is set to a ground potential, then the heat spreader also used as GRD plane 10 will have the same ground potential. At the same time, it also plays the role of the heat spreader which efficiently releases heat generated on the rear surface of an LSI to the outside.



LEGAL STATUS

[Date of request for examination] 25.06.1996

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2765632

[Date of registration] 03.04.1998

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-12768

(43) 公開日 平成10年(1998) 1月16日

| (51) Int.Cl. ⁶ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|--------|---------------|--------|
| H 0 1 L 23/14 | | | H 0 1 L 23/14 | M |
| 23/12 | | | 23/12 | L |

審査請求 有 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平8-164378

(22) 出願日 平成8年(1996) 6月25日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 鈴木 克信

東京都港区芝五丁目7番1号 日本電気株式会社内

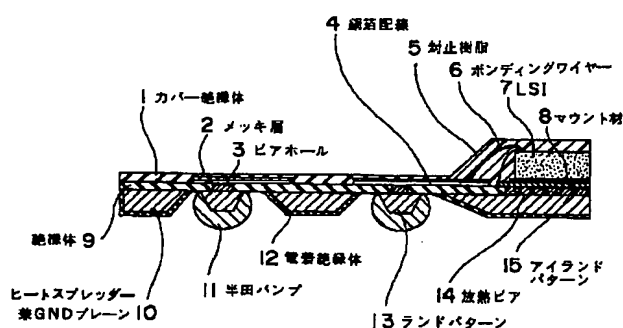
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 半導体装置用パッケージ

(57) 【要約】

【課題】 高い放熱性能と信頼性、及び、安定したプロセス工程で製造できる半導体装置用パッケージを提供する。

【解決手段】 金属板上に絶縁体、更にその上に銅箔を設けた3層構造の金属基板を用い、金属基板の金属板を、電氣的に相互に絶縁されたヒートスプレッダー兼GND、プレーン10と、複数の孤立したランドパターン13に形成する。また、銅箔を銅箔配線4とアイランドパターン15に形成する。銅箔配線4とアイランドパターン15は、それぞれ、ビアホール3によりランドパターン13と、放熱ビア14でヒートスプレッダー兼GND、プレーン10と導通する。アイランドパターン15を接地電位にすると、ヒートスプレッダー兼GND、プレーン10は同電位の接地電位になる。同時にLSI7の裏面に発生する熱を効率的に外部に逃がすヒートスプレッダーの役目も果たす。



【特許請求の範囲】

【請求項1】 銅又はアルミニウムを主成分とする、所定のパターンを有する金属板と、該金属板上に形成された絶縁体から成る絶縁層と、該絶縁層上に形成された配線パターンを含む所定のパターン形状を有する金属箔から成る積層構造体として構成され、

前記金属板は電氣的に相互に絶縁されたヒートスプレッダー兼GND、プレーン、及び複数の孤立したランドパターンを有し、

前記金属箔は金属箔配線、及び、半導体チップ搭載部となるアイランドパターンに形成され、

前記金属板より形成される所定のパターンと、前記金属箔より形成される所定の金属箔配線、及び、アイランドパターンは、前記絶縁層を所定位置で貫通し、金属メッキで埋め込まれたビアホールを介して導通する構造を有し、

前記金属箔の表面に対し、金属メッキにより成るメッキ層が設けられ、前記アイランドパターン、及び前記金属箔配線の一部を除いて、絶縁体により覆い、前記ヒートスプレッダー兼GND、プレーンの表面上に絶縁体層を設けることを特徴とする半導体装置用パッケージ。

【請求項2】 前記アイランドパターンと前記ビアホールにより導通された、前記ヒートスプレッダー兼GND、プレーンの表面上に設けられた前記絶縁体層を複数箇所除去したことを特徴とする請求項1記載の半導体装置用パッケージ。

【請求項3】 前記ヒートスプレッダー兼GND、プレーンの表面が微細な凹凸構造を有することを特徴とする請求項1記載の半導体装置用パッケージ。

【請求項4】 前記アイランドパターン上に、有機系樹脂、金属混入樹脂又は低融点金属の何れかにより、半導体チップを搭載し、該半導体チップの所定の電極と前記金属箔配線の先端部ボンディングステッチ又は前記アイランドパターンをボンディングワイヤにより電氣的導通をとり、前記半導体チップ、前記ボンディングワイヤ及びその周辺を有機系絶縁樹脂により封止し、更に前記ランドパターン上に半田バンプを備えることを特徴とする請求項3記載の半導体装置用パッケージ。

【請求項5】 前記ヒートスプレッダー兼GND、プレーンの表面上の前記絶縁体層を複数箇所除去し、金属板が露出した部分に、半田バンプを備えたことを特徴とする請求項2記載の半導体装置用パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置用パッケージに関し、特に金属基板を用いた半導体装置用パッケージの構造に関する。

【0002】

【従来の技術】近年、BGA(BALL GRID ARRAY)と呼ばれる半導体装置用パッケージの構造が

提案されている。この型式のパッケージ構造は、例えば「平成7年特許願第127395号」、「MONDAY MARCH 6, 1995 ELECTRONIC NEWS」、又は、「NOV. - DEC. 1992. THE FIRST VLSI PACKAGING WORKSHOP」に記載されており、実用化の努力が進められている。ここで従来のBGAの構造を図面を参照して説明する。

【0003】図5及び図6は「平成7年特許願第127395号」に記載されたBGA(従来技術1)であり、図5は部分断面図である。図6は一部分が断面図の斜視図である。

【0004】約0.15~0.20mm厚の銅板、その上に約40~50ミクロンの絶縁体67、72が積層され、更に18~35ミクロンの銅箔が設けられた積層構造の金属基板を用いて形成される。この銅板をケミカルエッチングにより所定のパターンに形成する。この銅板パターンは、放熱兼グラウンド電位強化の為にヒートスプレッダー兼GND、プレーン68、79から成るパターンと、外部接続用の半田バンプ69、78を形成する為のランドパターン71、77に形成され、相互に電氣的に絶縁された構造をとる。銅箔は、所定の銅箔配線62、73のパターンに形成される。この銅箔配線62、73は、LSI65とボンディングワイヤ64を用いて電氣的導通を取る為のボンディングステッチ74を有する。また、銅箔配線62、73と電氣的導通をとる為に、絶縁体64、72を貫通し金属メッキにより埋め込まれたビアホール61、76を有する。LSI65を搭載するエリアでは、絶縁体67、72及び銅箔は除去され、キャビティ75が形成される。このキャビティ75上に、例えば銀ペーストの様なマウント材66を用いてLSI65を搭載する。ボンディングワイヤ64で、LSI65と銅箔配線62を結線し、LSI65、ボンディングワイヤ64及びその周辺を封止樹脂63により封止し、ランドパターン71、77上に半田バンプ69、78を有する。

【0005】別の従来のBGAとして、「MONDAY MARCH 6, 1995 ELECTRONIC NEWS」発表のもの(従来技術2)がある。図7を参照にして、この従来技術について説明する。図7は、従来技術2の部分断面図である。金属板81上に絶縁体82を被着し、更にその上に配線パターン87が設けられる。配線パターン87の所定の位置を除いて、カバー絶縁体85が絶縁体82を被覆する。シリコンチップ84が搭載される部分の絶縁体82及び配線パターン87は除去され、金属板81を露出させた構造をとる。このような構造を有する半導体装置用パッケージに対し、シリコンチップ84を露出した金属板81上に、例えば銀ペースト等のマウント材83を用いて搭載する。シリコンチップ84の各電極と配線パターン87をボンディング

ワイヤー88で結線し、エポキシ樹脂の様な封止樹脂99で封止した構造をとる。

【0006】更に他の一つの従来BGAとして、「NOV. -DEC. 1992. THE FIRST VLSI PACKAGING WOPKSHOP」で発表されたもの(従来技術3)を図8を用いて説明する。図8は、従来技術3を示す部分断面図である。絶縁基板93の両面に所定の配線パターン92を設ける。両面の配線パターン92は、所定の位置で絶縁基板93を貫通させ側壁に金属メッキを施したビアホール91により導通をとる。また、シリコンチップ97の裏面から熱を逃がすための放熱ビア99を設ける。この放熱ビア99も熱伝導性を上げるために、ビアホール91と同様に側壁にメッキにより金属を被着するシリコンチップ97を、例えば銀ペーストのようなマウント材96上に搭載し、ボンディングワイヤー95によりシリコンチップ97上の電極とパッケージの配線パターン92を結線する。また、シリコンチップ97、ボンディングワイヤー95及びその周辺を、例えばエポキシ樹脂のような封止樹脂94により封止する。裏面の配線パターン92の所定の位置に半田バンプ98が設けられる。この半田バンプ98は外部との電気的接続用、及び放熱用に用いられる。

【0007】

【発明が解決しようとする課題】上記記載の従来技術のBGAパッケージについて、順にその課題、特にBGAの放熱構造についての課題を記載する。

【0008】先ず、従来技術1に於いては、LSIが搭載される部分の絶縁体、及び銅箔を広い範囲で除去する為に、生産性が低下する。つまり、ビアホールとキャビティ部のサイズが大きく異なる為に、プロセスの安定性が低下し、エッチング精度が低くなる。また、銅板上にマウント材を用いて直接LSIを搭載する為にLSIと銅板の界面で、熱膨張差より応力が発生する。

【0009】従来技術2では、シリコンチップが半田バンプと同じ側に設けられるために、半田バンプを形成できるエリアはシリコンチップの周囲のみになり、多ピン化は困難になる。また、従来技術1と同様に、シリコンチップと銅板の界面で熱膨張差により応力が発生する。

【0010】従来技術3のBGAパッケージの放熱経路は、シリコンチップ表面から、表面の銅箔配線パターン、放熱ビア側壁にメッキされた金属、そして裏面の銅箔配線パターン、最終的に半田バンプに至る経路である。しかし、この放熱経路が非常に長い為、低熱抵抗化が制限される。また、使用されている基板がガラスエポキシ基板である為、熱伝導率が非常に低く、更に、急激な低熱抵抗化が非常に困難である。

【0011】以上のように従来技術は、各々いくつかの問題を抱えている。そこで、本発明の目的は、従来のBGA構造を改良し、もって多ピン化が容易で信頼性が高く、また、LSIの熱的性能を充分に発揮させ得る構造

に容易に形成できる新規な半導体装置用パッケージを提供することにある。

【0012】

【課題を解決するための手段】本発明は、前記課題を解決するため、次の手段を採用する。

【0013】(1)銅又はアルミニウムを主成分とする、所定のパターンを有する金属板と、該金属板上に形成された絶縁体から成る絶縁層と、該絶縁層上に形成された配線パターンを含む所定のパターン形状を有する金属箔から成る積層構造体として構成され、前記金属板は電気的に相互に絶縁されたヒートスプレッダー兼GND、プレーン、及び複数の孤立したランドパターンを有し、前記金属箔は金属箔配線、及び、半導体チップ搭載部となるアイランドパターンに形成され、前記金属板より形成される所定のパターンと、前記金属箔より形成される所定の金属箔配線、及び、アイランドパターンは、前記絶縁層を所定位置で貫通し、金属メッキで埋め込まれたビアホールを介して導通する構造を有し、前記金属箔の表面に対し、金属メッキにより成るメッキ層が設けられ、前記アイランドパターン、及び前記金属箔配線の一部を除いて、絶縁体により覆い、前記ヒートスプレッダー兼GND、プレーンの表面上に絶縁体層を設けることを特徴とする半導体装置用パッケージ。

【0014】(2)前記アイランドパターンと前記ビアホールにより導通された、前記ヒートスプレッダー兼GND、プレーンの表面上に設けられた前記絶縁体層を複数箇所除去したことを特徴とする前記(1)記載の半導体装置用パッケージ。

【0015】(3)前記ヒートスプレッダー兼GND、プレーンの表面が微細な凹凸構造を有することを特徴とする前記(1)記載の半導体装置用パッケージ。

【0016】(4)前記アイランドパターン上に、有機系樹脂、金属混入樹脂又は低融点金属の何れかにより、半導体チップを搭載し、該半導体チップの所定の電極と前記金属箔配線の先端部ボンディングステッチ又は前記アイランドパターンをボンディングワイヤにより電気的導通をとり、前記半導体チップ、前記ボンディングワイヤ及びその周辺を有機系絶縁樹脂により封止し、更に前記ランドパターン上に半田バンプを備えることを特徴とする前記(3)記載の半導体装置用パッケージ。

【0017】(5)前記ヒートスプレッダー兼GND、プレーンの表面上の前記絶縁体層を複数箇所除去し、金属板が露出した部分に、半田バンプを備えたことを特徴とする前記(2)記載の半導体装置用パッケージ。

【0018】

【発明の実施の形態】本発明の実施の形態については、実施例の項で詳細に説明する。

【0019】

【実施例】

第1実施例

図1及び図2は、本発明の第1実施例を成すメタルBG Aパッケージ構造を示すもので、図1は半導体装置としての部分断面図であり、図2は半導体装置用パッケージとして示した一部分が断面図の斜視図である。

【0020】約0.15～0.20mm厚の銅、又はアルミニウムの金属板上に、40～50ミクロンの絶縁体、18～35ミクロンの銅箔の3層構造を有する金属基板を用いる。加工された金属基板が図1と図2に記載されているが、金属板を加工すると、ヒートスプレッダー兼GND、プレーン10、ヒートスプレッダー兼GND、プレーン22、ランドパターン13及びランドパターン21となり、絶縁体を加工すると、絶縁体9及び絶縁体16となり、銅箔を加工すると、銅箔配線4及び銅箔配線17となる。

【0021】この金属基板の金属板を、相互に電氣的に絶縁したヒートスプレッダー兼GND、プレーン10、22と複数の孤立したランドパターン13、21にエッチング形成する。更に、銅箔から形成される銅箔配線4、17及びアイランドパターン15は、各々ランドパターン13、21若しくはヒートスプレッダー兼GND、プレーン10、22又は両方と電氣的に導通する。電氣的導通をとるために、絶縁体9、16を貫通し金属メッキで埋め込んだビアホール3、20、24、26を用いる。特にアイランドパターン15上に設けられたビアホールを放熱ビア14と呼ぶ。ビアホールについて図2で詳細に説明すると、銅箔配線17とランドパターン21を電氣的に導通する為のビアホールをビアホール

(1)とし、アイランドパターン19とランドパターン21とを導通するためのビアホールをビアホール(2)とし、同じくアイランドパターン19とヒートスプレッダー兼GND、プレーン22の導通をとるためのビアホールをビアホール(3)とする。この場合アイランドパターンを接地(GND、)電位にすると、ビアホール

(2)及び(3)と導通されたランドパターン、及びヒートスプレッダー兼GND、プレーンは同電位の接地電位になる。同時にビアホール(2)(3)は、LSI7の裏面に発生する熱を効率的にヒートスプレッダー兼GND、プレーン22及びランドパターン21、半田バンプ25に逃がし、低熱抵抗化が図れる。以上の3種類

(1)、(2)、(3)のビアホールのサイズを同サイズにする。これにより、エッチング精度、及び、プロセス安定性が著しく向上する。

【0022】次に、銅箔配線4、17上に金属メッキを施したメッキ層2を設ける。アイランドパターン15、19、及び銅箔配線4、17のボンディングに使用される部分(ボンディングステッチ18)を除いてカバー絶縁体1で覆う。図2ではカバー絶縁体は省略した。またヒートスプレッダー兼GND、プレーン10、22の表面上に電着絶縁体12、23層を設け、ランドパターン13、21に半田バンプ11、25を設けた場合に、電

氣的に短絡しないようにする。また、こうすることで実装の際に隣接する半田バンプが短絡しなくなる。本実施例は、このような構造を有する半導体装置用パッケージに対し、アイランドパターン15、19上に、例えば銀ペーストの様なマウント材8によりLSI7を搭載する。

【0023】このLSI7の所定の電極と銅箔配線4の先端部ボンディングステッチ18、または、アイランドパターン15、19とをボンディングワイヤー6により結線し電氣的導通をとる。次にLSI7、ボンディングワイヤー6、ボンディングステッチ18、及び、その周辺を例えばエポキシ樹脂のような封止樹脂5により封止する。最終的にランドパターン13、21上に半田バンプ11、25を備える。

【0024】第2実施例

次に、本発明の第2実施例を図3を用いて説明する。図3は第2実施例の部分断面図である。基本的な構造は第1実施例と同様である。アイランドパターン42と放熱ビア41により導通された、ヒートスプレッダー兼GND、プレーン36の表面上に設けられた電着絶縁体38において、LSI33の裏面に当たる部分に所定のパターンを複数箇所除去した。この電着絶縁体38を除去し、金属板が露出した部分に放熱兼グラウンド電位用の放熱バンプ40を設ける。

【0025】第3実施例

次に、本発明の第3実施例を図4を用いて説明する。図4は第3実施例の部分断面図である。基本的な構造は第1実施例と同様である。アイランドパターン58と放熱ビア57により導通された、ヒートスプレッダー兼GND、プレーン52の表面に故意に凹凸を設けた。ヒートスプレッダー兼GND、プレーン52の表面に故意に凹凸を設けることにより、放熱面の表面積を増やすことができ、更に低熱抵抗化が促進されることを目的にしている。本凹凸構造は、金属板をエッチングし、ヒートスプレッダー兼GND、プレーン52とランドパターン55を形成するプロセス工程と同時に形成する。この場合、凹凸構造を形成するのに用いられるレジストパターンの開口サイズは、ヒートスプレッダー兼GND、プレーン52とランドパターン55を形成するためのレジストパターンの開口サイズよりも極めて小さくし、マイクロローディング効果を利用する。

【0026】

【発明の効果】以上、説明したように、本発明の半導体装置用パッケージでは、金属板を採用し、金属箔のアイランドパターンを設け、アイランドパターンと金属板を、金属で埋め込んだ放熱ビアにより導通させる構成をとることにより、LSIチップで発生した熱を、LSIチップの裏面より数十ミクロンの短い距離で放熱板となる金属板に逃がすことができる。更にLSIチップと金属板の間に生じる熱応力は、アイランドパターンと金属板

の間の絶縁体により吸収・緩和され、長期信頼性が向上する。また、絶縁体をエッチングする場合でも、エッチングされるサイズが等しく、または同等になることで、エッチング精度、及び、プロセス安定性が著しく向上する。

【図面の簡単な説明】

【図1】本発明の第1実施例の構造を示す部分断面図である。

【図2】本発明の第1実施例の構造を示す一部分が断面図の斜視図である。

【図3】本発明の第2実施例の構造を示す部分断面図である。

【図4】本発明の第3実施例の構造を示す部分断面図である。

【図5】従来技術1の構造を示す部分断面図である。

【図6】従来技術1の構造を示す一部分が断面図の斜視図である。

【図7】従来技術2の構造を示す部分断面図である。

【図8】従来技術3の構造を示す部分断面図である。

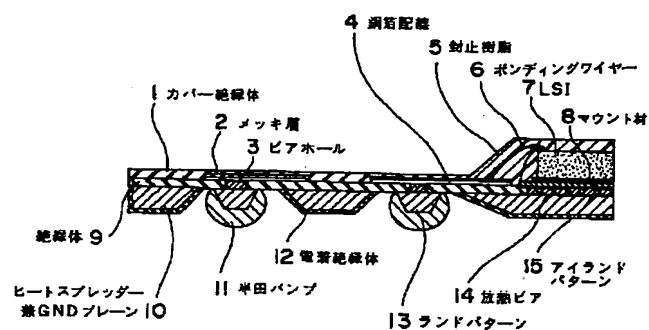
【符号の説明】

| | | | |
|----|--------------------|----|--------------------|
| 1 | カバー絶縁体 | 31 | 封止樹脂 |
| 2 | メッキ層 | 32 | ボンディングワイヤー |
| 3 | ビアホール | 33 | L S I |
| 4 | 銅箔配線 | 34 | マウント材 |
| 5 | 封止樹脂 | 35 | 絶縁体 |
| 6 | ボンディングワイヤー | 36 | ヒートスプレッダー兼GND、プレーン |
| 7 | L S I | 37 | 半田バンプ |
| 8 | マウント材 | 38 | 電着絶縁体 |
| 9 | 絶縁体 | 39 | ランドパターン |
| 10 | ヒートスプレッダー兼GND、プレーン | 40 | 放熱バンプ |
| 11 | 半田バンプ | 41 | 放熱ビア |
| 12 | 電着絶縁体 | 42 | アイランドパターン |
| 13 | ランドパターン | 43 | カバー絶縁体 |
| 14 | 放熱ビア | 44 | メッキ層 |
| 15 | アイランドパターン | 45 | ビアホール |
| 16 | 絶縁体 | 46 | 銅箔配線 |
| 17 | 銅箔配線 | 47 | 封止樹脂 |
| 18 | ボンディングステッチ | 48 | ボンディングワイヤー |
| 19 | アイランドパターン | 49 | L S I |
| 20 | ビアホール(1) | 50 | マウント材 |
| 21 | ランドパターン | 51 | 絶縁体 |
| 22 | ヒートスプレッダー兼GND、プレーン | 52 | ヒートスプレッダー兼GND、プレーン |
| 23 | 電着絶縁体 | 53 | 半田バンプ |
| 24 | ビアホール(2) | 54 | 電着絶縁体 |
| 25 | 半田バンプ | 55 | ランドパターン |
| 26 | ビアホール(3) | 56 | 凹凸表面 |
| 27 | カバー絶縁体 | 57 | 放熱ビア |
| 28 | メッキ層 | 58 | アイランドパターン |
| 29 | ビアホール | 59 | カバー絶縁体 |
| 30 | 銅箔配線 | 60 | メッキ層 |
| | | 61 | ビアホール |
| | | 62 | 銅箔配線 |
| | | 63 | 封止樹脂 |
| | | 64 | ボンディングワイヤー |
| | | 65 | L S I |
| | | 66 | マウント材 |
| | | 67 | 絶縁体 |
| | | 68 | ヒートスプレッダー兼GND、プレーン |
| | | 69 | 半田バンプ |
| | | 70 | 電着絶縁体 |
| | | 71 | ランドパターン |
| | | 72 | 絶縁体 |
| | | 73 | 銅箔配線 |
| | | 74 | ボンディングステッチ |
| | | 75 | キャビティ |
| | | 76 | ビアホール |
| | | 77 | ランドパターン |
| | | 78 | 半田バンプ |
| | | 79 | ヒートスプレッダー兼GND、プレーン |
| | | 80 | 電着絶縁体 |

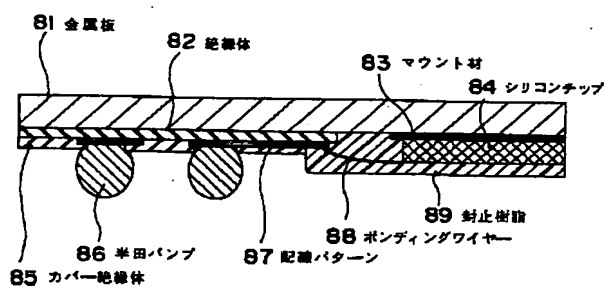
- 81 金属板
- 82 絶縁体
- 83 マウント材
- 84 シリコンチップ
- 85 カバー絶縁体
- 86 半田バンプ
- 87 配線パターン
- 88 ボンディングワイヤー
- 89 封止樹脂
- 90 カバー絶縁体

- 91 ピアホール
- 92 配線パターン
- 93 絶縁基板
- 94 封止樹脂
- 95 ボンディングワイヤー
- 96 マウント材
- 97 シリコンチップ
- 98 半田バンプ
- 99 放熱ピア

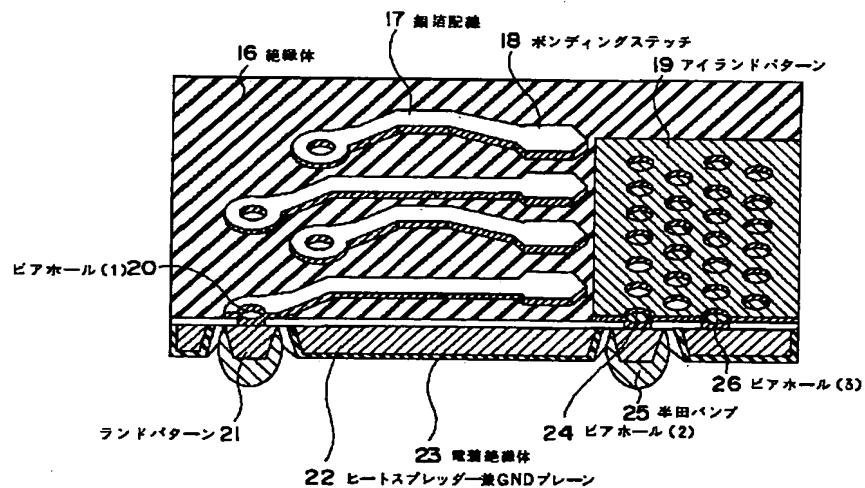
【図1】



【図7】



【図2】



[illegible]

Figure 1 is a cross-sectional view of a semiconductor device. The device includes a substrate 66 (mounting material) with a layer 65 (LSI) on top. A bonding wire 64 connects the LSI to a lead 63. A stopper resin 62 is applied to the lead. A copper wiring 62 is also present. A die 59 is mounted on the substrate, with a dielectric layer 60 and a die pad 61. A heat spreader 68 with GND planes is attached to the bottom of the substrate. A semi-conductor pump 69 is also shown. A lead pattern 71 is formed on the substrate. A dielectric body 67 is also indicated.

【図6】

